

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to an electric field effect mold thin film transistor (TFT) applicable to the static mold semiconductor memory which constitutes a memory cell more specifically using an insulated gate field effect transistor (MOSFET) about an electric field effect mold thin film transistor and its manufacture approach generally, and its manufacture approach.

[0002]

[Description of the Prior Art] As a static mold semiconductor memory, the so-called static random access memory (SRAM) is already known well. Since the most desirable effectiveness is acquired when applied to SRAM, this invention explains SRAM hereafter.

[0003] In SRAM, efforts to reduce standby current (at the time of standby current) with efforts for high integration are performed. In order to realize high integration conventionally, the high resistance-load mold memory cell is adopted. However, in order to reduce the power consumption of SRAM of a high resistance-load mold memory cell, it is necessary to increase the resistance of a high resistance load used for the memory cell. Moreover, if the degree of integration of the memory cell of SRAM goes up, only the part needs to raise the resistance of a high resistance load. On the other hand, if the resistance of a high resistance load is increased, the instability of actuation of a memory cell will increase. For this reason, in order that a degree of integration may cancel the instability of actuation of this memory cell in SRAM 4 megabits or more, modification to the memory cell of a high resistance-load mold to a CMOS mold is considered.

[0004] The memory cell of a CMOS mold consists of four n channel MOS transistors and two p channel MOS transistors. If these six transistors are formed on a silicon single crystal substrate, the occupancy area of a memory cell will increase large about 1.5 times as compared with a high resistance-load mold memory cell, and contraction of memory cell occupancy area will become difficult. In order to raise a degree of integration further, two p channel MOS transistors are constituted from a thin film transistor using polycrystalline silicon, and development of the so-called TFT load mold perfect CMOS memory cell of the three-dimensional structure arranged on four n channel MOS transistors formed on the silicon single crystal substrate is performed.

[0005] Drawing 83 is the representative circuit schematic showing one memory cell of SRAM of the conventional perfect CMOS mold. As shown in drawing 83, the flip-flop circuit is constituted by carrying out cross connection of the inverter circuit which consists of two n channel drive (driver) MOS transistors Q2 and Q4 and two p channel load (loading) MOS transistors Q1 and Q3, respectively. The n channel transfer (access) transistors Q5 and Q6 are connected to two storage nodes (N1, N2) of this flip-flop circuit. Supply voltage Vcc and the touch-down potential Vss are supplied to the flip-flop circuit. Bit lines 33 and 34 are connected to the drain of access transistors Q5 and Q6. The gate electrode of access transistors Q5 and Q6 is connected to the word line 35. At the time of standby, access transistors Q5 and Q6 have a word line 35 and bit lines 33 and 34 in an OFF condition by being held 0V, and the flip-flop circuit is isolated as actuation of the memory cell of such SRAM is known well. Thereby,

"Low" (0V) is held as data at "High" (3V) and the storage node N2 (or N1) at the storage node N1 (or N2). Maintenance of data is performed by holding the charge accumulated in the stray capacity of the storage nodes N1 and N2.

[0006] When a desired memory cell is chosen, namely, when a word line 35 is "High" level, it changes access transistors Q5 and Q6 into ON condition. Thereby, the storage nodes N1 and N2 are made into bit lines 33 and 34 and switch-on. At this time, the electrical potential difference corresponding to the condition of each storage node N1 and N2 appears through access transistors Q5 and Q6 in bit lines 33 and 34. Thus, the information held at the memory cell is read. When writing data in a memory cell, the electrical potential difference corresponding to the condition that a request should be written for access transistors Q5 and Q6 in each of bit lines 33 and 34 in ON condition is impressed. Thus, this memory cell is functioning as a static storage by starting a word line 35 at the time of read-out/store, making the storage nodes N1 and N2 memorize the information on "High" or "Low" from bit lines 33 and 34, or reading the information on the storage nodes N1 and N2 conversely through access transistors Q5 and Q6. In addition, at the time of standby, as for the memory cell of SRAM which has such a CMOS circuit, the leakage current of an MOS transistor only flows. Therefore, SRAM of a perfect CMOS mold has the description that the power consumption is small very much.

[0007] Drawing 84 shows the equal circuit of the memory cell of conventional TFT load mold perfect CMOS-SRAM by three-dimensions arrangement. Drawing 85 and drawing 86 are the top view showing the memory cell of the conventional TFT load mold SRAM, and a typical sectional view. With reference to drawing 84 - drawing 86, the structure of the memory cell of the conventional TFT load mold SRAM is explained.

[0008] With reference to drawing 84, the p channel MOS transistors Q1 and Q3 are formed in an upper active element layer (the upper layer is called hereafter), and, on the other hand, they are connected to it in [ an electrode / a power source Vcc ] one. Moreover, in the upper layer, the gate electrode of the p channel MOS transistor Q1 and the another side electrode of the p channel MOS transistor Q3 are connected in one by the node N21, and the gate electrode of the p channel MOS transistor Q3 and the another side electrode of the p channel MOS transistor Q1 are connected in one by the node N11. Furthermore, bit lines 33 and 34 are formed in the upper layer.

[0009] Next, the n channel MOS transistors Q2, Q4, Q5, and Q6 are formed in the lower active element layer (a lower layer is called hereafter). On the other hand, as for the electrode, the n channel MOS transistors Q2 and Q4 are connected to the earth electrode Vss in one. Moreover, in the lower layer, the gate electrode of the n channel MOS transistor Q2 and the another side electrode of the n channel MOS transistor Q4 are connected in one by the node N22, and the gate electrode of the n channel MOS transistor Q4 and the another side electrode of the n channel MOS transistor Q2 are connected in one by the node N12. Furthermore, the word line 35 is formed in the lower layer.

[0010] The upper layer and a lower layer are separated by the insulating layer. In order to connect electrically the upper node N11 and the lower layer node N12, a through hole 51 is formed in an insulating layer, and in order to connect the upper node N21 and the lower layer node N22, the through hole 52 is formed. Thus, the CMOS mold flip-flop circuit is constituted by connecting MOS transistors Q1, Q2, Q3, and Q4 through through holes 51 and 52.

[0011] Furthermore, in the lower layer, the one side electrode of the n channel MOS transistor Q5 for access is connected to a node N12, and the gate electrode is connected to the word line 35. Similarly, the one side electrode of the n channel MOS transistor Q6 is connected to a node N22, and the gate electrode is connected to the word line 35. The another side electrode of the n channel MOS transistor Q5 is electrically connected with the bit line 33 formed in the upper layer through the through hole 53 prepared in the insulating layer. Similarly, the another side electrode of the n channel MOS transistor Q6 is also connected to the upper bit line 34 through the through hole 54.

[0012] (A) of drawing 85 and (B) are drawings of the memory cell of SRAM shown in drawing 84 showing superficial arrangement of the upper layer and a lower layer active element, respectively. With reference to (A) of drawing 85, the barrier layer 55 which consists of polycrystalline silicon is formed through gate dielectric film in the upper layer on the gate electrode 60. Boron (B) is introduced into the

barrier layer 55 of a field which has not lapped with the gate electrode 60 so much, and it is p+. The field is formed. Consequently, the p channel MOS transistors (TFT) Q1 and Q3 are formed. The upper active element has taken the bottom gate mold structure which has the gate electrode 60 in the lower part of a barrier layer 55.

[0013] On the other hand, (B) of drawing 85 is referred to and it is p of a semi-conductor substrate in a lower layer. - The barrier layer 56 is formed in the field. On the barrier layer 56, the gate electrode 71 is formed through gate dielectric film. Arsenic (As) is introduced into the barrier layer 56 of a field which has not lapped with the gate electrode 71 so much, and it is n+. The field is formed. Consequently, the n channel MOS transistors Q2, Q4, Q5, and Q6 are formed.

[0014] Moreover, as mentioned above, in order to connect a vertical layer electrically, through holes 51, 52, 53, and 54 are formed. In addition, a node N11, a node N12, and two through holes 51 that connect these are formed at a time on the relation of arrangement. Moreover, in drawing 85, aluminum wiring for reinforcing a grounding conductor (Vss line), aluminum wiring which forms bit lines 33 and 34, and a word line (gate electrode) 71 every dozens of bits is not shown. -two aluminum wiring which forms bit lines 33 and 34 is prepared in parallel with a L-L line so that through holes 53 and 54 may be included in drawing 85, respectively. Aluminum wiring for reinforcing a word line 71 is prepared in parallel on a word line 71 in (B) of drawing 85, and prevents the fall of potential by the electric resistance of a word line 71.

[0015] Drawing 86 is the typical sectional view showing the cross-section structure which met the L-L line of drawing 85. With reference to drawing 86, the conventional cross-section structure and its conventional manufacture approach of a memory cell of SRAM are explained briefly.

[0016] The single crystal silicon substrate 1 is 1018-/cm<sup>3</sup> at the main front-face side in a memory cell field. p of the high impurity concentration of extent - A field is formed. The separation oxide film 21 with a thickness of 4000Å is formed in the main front face of a silicon substrate 1 by the LOCOS method. Moreover, on the main front face of a silicon substrate 1, gate oxide 41 with a thickness of 100Å is formed. The field separated with the separation oxide film 21 serves as a barrier layer 56. It is 1020-/cm<sup>3</sup> about Lynn on the field of a barrier layer 56. The gate electrode 71 which consists of the polycrystalline silicon layer with a thickness of 1500Å and the tungsten silicide (WSi<sub>2</sub>) layer with a thickness of 2000Å which are included by concentration is formed according to a predetermined pattern. The upper part of the gate electrode 71 by which patterning was carried out to As is 2x10<sup>15</sup>-/cm<sup>2</sup>. By being poured in with an injection rate, source drain field (n+ field which does not have gate electrode 71 on it among barrier layers 56 among field, i.e., drawing 86) 56b of the n channel MOS transistors Q2, Q4, Q5, and Q6 is formed. The field which has lapped with the gate electrode 71 among barrier layers 56 is channel field 56a. The oxide film by the CVD method accumulates on the gate electrode 71 as an insulator layer, and an interlayer insulation film 42 is formed by performing surface flattening. The thickness of an interlayer insulation film 42 is about 3000Å.

[0017] Opening of the through holes 51 and 52 and through holes 53 and 54 (through holes 51 and 53 are not shown in drawing 86) for nodes N12 and N22 is carried out into an interlayer insulation film 42. It is 2x10<sup>20</sup>-/cm<sup>3</sup> about As in through holes 51, 52, and 53 and 54. The electric conduction film 81 which consists of the polycrystalline silicon layer with a thickness of 2000Å and the tungsten silicide layer with a thickness of 2000Å which are included by concentration is formed. On through holes 51 and 52, it is 2x10<sup>20</sup>-/cm<sup>3</sup> about As. The upper gate electrode 60 is formed by depositing and carrying out patterning of the polycrystalline silicon layer with a thickness of 2000Å included by concentration. An oxide film with a thickness [ by the CVD method ] of 200Å is formed as gate dielectric film 43 on this gate electrode 60. The upper barrier layer 55 is formed by depositing and carrying out patterning of the polycrystalline silicon layer with a thickness of 300Å with a CVD method on the gate dielectric film 43. Deposition of this polycrystalline silicon layer is performed at the temperature of 620 degrees C. In order to plan electrical installation with a lower layer on through holes 51 and 52, gate dielectric film 43 is removed. It is 2x10<sup>20</sup>-/cm<sup>3</sup> about boron (B) to the part which does not have a lap with gate dielectric film 43 a through hole 51 and 52 top in a barrier layer 55. By introducing by concentration, source drain field 55b (refer to drawing 85) of the p channel MOS transistors Q1 and Q3 is formed. The interlayer

insulation film 44 with a thickness of about 3000Å by which flattening was carried out is formed like a lower layer case. Opening of the through holes 53 and 54 is carried out again, the aluminum wiring layer 91 with a thickness of 7000Å deposits, and a bit line 34 ( drawing 84 ) is formed by carrying out patterning. In addition, a bit line 33 does not appear in drawing 86 . Furthermore, the interlayer insulation film 45 which consists of an oxide film by the plasma-CVD method with a thickness of 7000Å is formed. On this interlayer insulation film 45, by the thickness which is 8000Å, it deposits, and patterning of the aluminum wiring layer 92 for reinforcing a word line 35 (the inside of drawing 86 drawing 85 , gate electrode 71) is carried out, and it is formed. Thus, the memory cell of conventional TFT load mold perfect CMOS-SRAM is constituted. In addition, the grounding conductor (Vss line) is not shown in drawing 86 .

[0018]

[Problem(s) to be Solved by the Invention] The electrical characteristics of the conventional TFT (p channel MOS transistor) are shown in drawing 87 . Drawing 87 shows the relation of the drain current ( $I_D$ )-gate voltage ( $V_G$ ) at the time of impressing drain electrical-potential-difference  $V_D = -3V$  of TFT with 0.8 micrometers [ of channel length ], and a channel width of 0.4 micrometers. The drain current  $I_D$  at the time of gate voltage  $V_G = -3V$  (ON condition) is 1nA (10-9A) and the drain current  $I_D$  at the time of gate voltage  $V_G = 0V$  (OFF condition). They are 100fA(s) (10-13 A).

[0019] By the way, naturally detailed-ization of the component which constitutes a memory cell is required with high integration of SRAM. For example, the design dimension of a component is set to 0.35-0.4 micrometers in 16-megabit SRAM. When the component was made detailed to the dimension of this level, the trouble of the memory cell of SRAM stopping operating arose. The cause by which the memory cell of 16-megabit SRAM does not operate is based on the following reasons.

[0020] If the dimension of a component is made detailed by 0.4 micrometers or less, the supply voltage used in order to secure the dependability of a transistor will be reduced to 3.3V or 3V. furthermore, the ratio of beta (it is displayed as  $\beta_D$ ) of the lower layer driver transistors Q2 or Q4, and beta (it is displayed as  $\beta_A$ ) of access transistors Q5 or Q6 -- it becomes the value whose  $\beta_D / \beta_A$  (beta ratio is called below) are about two, and it becomes impossible to take greatly Here, beta is an amount showing the conductance of a transistor and is given by  $\beta = \mu \epsilon_{OX} \epsilon_0 W / (t_{OX} L)$ .  $\mu$  is mobility and  $\epsilon_{OX}$  is the specific inductive capacity of gate dielectric film, and  $\epsilon_0$  is the dielectric constant of vacuum and  $t_{OX}$  and  $L$  are [ gate width and L of the thickness of gate oxide and W ] gate length.

[0021] In the equal circuit of drawing 83 , at the time of read-out of the storage information in a memory cell, an electrical potential difference  $V_{cc}$  is impressed to both bit lines 33 and 34, a forward electrical potential difference is given to a word line 35, and access transistors Q5 and Q6 are made into switch-on. By this, a bit line is discharged with the driver transistor Q2 (or Q4) (the driver transistor by the side of "Low" level is in ON condition) by the side of the "Low" level of a memory cell, potential of the bit line connected with the "Low" level side of a memory cell is made lower than the potential of the bit line which flows to a "High" level side, and the information held at the memory cell is transmitted to a bit line. Thus, since transistors Q4 and Q6 are in ON condition supposing a node N2 holds "Low" level (0V) and the node N1 holds the potential of "High" level (3V) at the time of read-out, a current flows from a bit line 34 to the touch-down potential  $V_{ss}$  (0V) through transistors Q6 and Q4. The potential of an intersection with the transistor Q6 of the bit line 34 with which the electrical potential difference  $V_{cc}$  (3V) was impressed falls from 3V to 1.5V for resistance of bit line 34 self. If beta ratio is large enough, the potential of a node N2 will be held at the value near 0V. However, when beta ratio is 2, since resistance (inverse number of conductance) of ON condition of a transistor Q6 is the resistance [ twice ] of a transistor Q4, the potential of a node N2 rises to 0.5V by those resistance division.

[0022] The node N2 is connected to the gate electrode of the n channel MOS transistor Q2. Since the threshold electrical potential difference ( $V_{th}$ ) of the n channel MOS transistors Q2 and Q4 is 0.7V, to the n channel MOS transistor Q2, the subthreshold level current of 1nA extent will flow. Since gate voltage (potential of a node N2) is 0.5V, the p channel MOS transistor Q1 which is connected to the n channel MOS transistor Q2 at this time, and constitutes the inverter is in ON condition. That is, the

electrical potential difference  $V_{cc}$  (3V) is impressed to the source of the p channel MOS transistor Q1, and the gate voltage seen from the source is set to -2.5V ( $=0.5V-3V$ ). From this, as shown in drawing 87, the p channel MOS transistor Q1 is in ON condition. According to drawing 87, the drain current of the p channel MOS transistor Q1 in this ON condition is 0.5nA extent, and is 1nA extent at the maximum.

[0023] Thus, the current which flows as a subthreshold level current to the n channel MOS transistor Q2, and the current which flows to the p channel MOS transistor Q1 are comparable. This means that resistance of the p channel MOS transistor Q1 by the side of the node of "High" level (in this case, N1) and the n channel transistor Q2 becomes equal at the time of read-out. Therefore, the potential of a node N1 descends to the one half of supply voltage  $V_{cc}$ , 1.5V [ i.e., ], by resistance division, actuation of a memory cell becomes unstable, or data will be reversed when the worst. If another language expresses, it will leak and come out of the charge of the level of "High" accumulated in the stray capacity of a node N1 to the touch-down potential  $V_{ss}$  (0V) side with the n channel MOS transistor Q2 to which the subthreshold level current is flowing. At the time of standby, the leakage current of the n channel MOS transistor Q2 is very small (1 or less fA) one, and the charge of the decrement by leakage current is filled up with the p channel MOS transistor Q1 of ON condition. However, since there are more currents which leak from the n channel MOS transistor Q2 at the time of read-out than the current supplied from the p channel MOS transistor Q1, data will be destroyed.

[0024] A situation in case data are destroyed is explained a little in more detail. The node N1 is connected to the gate electrode of transistors Q3 and Q4. If the potential of a node N1 descends from 3V to 1.5V, the electrical potential difference of 1.5V will be impressed to the gate electrode of the p channel MOS transistor Q3. At this time, the gate voltage seen from the source side of a transistor Q3 is -1.5V ( $=1.5V-3V$ ). Therefore, the transistor Q3 which was in the OFF condition will be in ON condition before read-out at the time of read-out (refer to drawing 87). The gate voltage of the n channel MOS transistor Q4 also falls to it and coincidence from 3V to 1.5V. Since the current which flows to a transistor Q4 decreases by this and a current flows to a transistor Q3, the potential of a node N2 rises. When the potential of a node N2 becomes higher than threshold electrical-potential-difference 0.7V of a transistor Q2, a transistor Q2 will be in ON condition, and much more currents will be passed rather than a subthreshold level current. Consequently, the potential of a node N1 falls further. If the potential of a node N1 becomes less than [ 0.7V ], the gate voltage impressed to a transistor Q4 becomes below a threshold, and a transistor Q4 will be in an OFF condition. Consequently, the potential of a node N2 rises to 3V, and the potential of a node N1 descends even to 0V. Thus, data will be reversed when the worst. That is, the information held at the memory cell is destroyed.

[0025] About the instability of the memory cell by reduction of the above beta ratios, it is H.Shinohara. et al., Digest of Technical Papers, Symposium on VLSI It is stated to Technology and pp 106-107 in detail.

[0026] Next, the trouble at the time of a data store is considered. A forward electrical potential difference is given to a word line 35 at the time of a store, and access transistors Q5 and Q6 are made into switch-on. And data are written in by making the bit line of the direction to write "Low" level with either of the bit lines 33 or 34 into the potential of 0V. The case immediately after writing the data of "Low" level in a node N2 is considered. Although the potential of a node N1 is "High" level, since an access transistor Q5 is in ON condition, it falls from  $V_{cc}$  (3V) to  $V_{cc}-V_{th}$  ( $=2V$ :  $V_{th}$  is threshold electrical-potential-difference =1V of an access transistor Q5), and a memory cell becomes unstable. Therefore, the potential of a node N1 must be charged from ( $V_{cc}-V_{th}$ ) to  $V_{cc}$  with the p channel MOS transistor Q1. Since the capacity of a node N1 is about 1 fF and ON current of the p channel MOS transistor Q1 is 1nA, the time amount  $t$  required for charge serves as  $t=1fF \times 1V/1nA=1\text{microsec}$ . That is, time amount with long 1microsec extent is needed until a memory cell will be in a stable condition. Information on a memory cell cannot be read between this time amount. The access time of the data store of SRAM and data read-out needs to be usually the time amount for about 50ns. Therefore, it is impossible to constitute the memory cell of SRAM which can be used on industry from TFT (p channel MOS transistor) whose ON current is 1nA extent.

[0027] Next, the trouble about the standby current of 16-megabit SRAM is considered. The memory cell of TFT load mold perfect CMOS-SRAM has adopted the configuration of a CMOS inverter. Therefore, there is no current pass of a direct current and only the leakage current of a transistor contributes to the power consumption of SRAM at the time of standby. In the memory cell of drawing 83, one side has "High" level and, as for nodes N1 and N2, another side has the potential of "Low" level. In the node holding the potential of "High" level, the n channel MOS transistors Q2 or Q4 are in an OFF condition, and the p channel MOS transistors Q1 or Q3 are in an OFF condition in the node which has the potential of "Low" level. The leakage current of 1 or less fA and the p channel MOS transistors (TFT) Q1 and Q3 of the leakage current of the n channel MOS transistors Q2 and Q4 is 100fA(s) ( drawing 87 ). Therefore, the standby current of a memory cell turns into leakage current for one about p MOS transistor (TFT) per cel. Therefore, the standby current of 16-megabit SRAM exceeds 1.7microA (=100fA $\times$ 224 cel) and 1microA, and cannot be easily good in SRAM of a low power. In order to realize a low power, it is necessary to make standby current below into 1microA (if it to be able to do below 0.1microA). For that purpose, the leakage current of TFT which constitutes the memory cell of SRAM must be 60 or less (if it can do 6 or less fAs) fAs.

[0028] As mentioned above, when ON current of TFT was small, the trouble that actuation of a memory cell became unstable at the time of read-out of the data of SRAM made detailed and a store became clear. In order to avoid this trouble, the attempt which raises beta ratio of a driver transistor and an access transistor is made. For that purpose, it is necessary to make small gate width W of access transistors Q5 and Q6, and to enlarge gate width W of the driver transistors Q2 and Q4. However, since the minimum value of gate width W is decided by the possible minimum processing dimension, it becomes impossible to make small gate width W of access transistors Q5 and Q6 more than this. Therefore, in order to raise beta ratio, gate width W of the driver transistors Q2 and Q4 must be enlarged. However, it means that this causes increase of the chip area of SRAM and detailed-ization of it becomes impossible. Moreover, in order to raise beta ratio, a means to set up more greatly than that of the driver transistors Q2 and Q4 the threshold electrical potential difference  $V_{th}$  of access transistors Q5 and Q6 is also considered. However, in order to reduce supply voltage  $V_{cc}$  with detailed-izing of a component, along with improvement in the degree of integration of SRAM, it is difficult to set up greatly the threshold electrical potential difference  $V_{th}$  of access transistors Q5 and Q6.

[0029] Moreover, if the OFF current of TFT is large, the power consumption of SRAM will go up. Since the power consumption of SRAM is proportional to the number of TFT(s) (correctly calculated by  $x$  (number of TFT) (gate width).) If a degree of integration increases 4 times, power consumption will increase about 3 times. If the engine performance of TFT is the same, it is an inevitable problem that power consumption becomes large as the degree of integration of SRAM improves.

[0030] As mentioned above, it is understood that the trouble that SRAM made detailed does not operate normally has a problem in the engine performance of TFT. As compared with the transistor formed on the single crystal silicon substrate, ON current of TFT is small and the thing with a large OFF current is for the grain boundary of the polycrystalline silicon which exists in the channel part of TFT.

[0031] The channel field and its circumference part of TFT used for SRAM made detailed are shown in drawing 88. (A) of drawing 88 shows the top view of TFT, and (B) shows a perspective view. The barrier layer 55 is intervened and formed in gate dielectric film on the gate electrode 60. A barrier layer 55 consists of a drain field, a channel field, and a source field. The channel field has lapped with the gate electrode 60. As shown in the perspective view of (B) of drawing 88, when the diameter of crystal grain of the polycrystalline silicon film with a thickness of 300A was investigated by observation by the transmission electron microscope (TEM), it turned out that it is an average of 200A. Gate width is 0.4 micrometers and gate length is 0.8 micrometers. Therefore, about 800 crystal grain will exist in the 0.4micrometer $\times$ 0.8micrometer channel field, and 40 crystal grain will exist in the direction parallel to channel length. A grain boundary acts as a trap of the carrier in a channel field (electron hole) as known well. The carrier fixed to the trap eliminates the carrier near a grain boundary, and makes a potential barrier. By existence of this potential barrier, the electrical characteristics of TFT show phenomena, such as a fall of a drain current, and a fall of mobility, as compared with the transistor formed on the



single crystal silicon substrate. For this reason, ON current of TFT decreases. Moreover, many uncombined hands (dangling bond) of a silicon atom exist in a grain boundary. This uncombined hand forms much mid gap level into the energy band structure of silicon. An electron is excited by thermal excitation from a valence band through this mid gap level to a conduction band, and the OFF current of TFT increases by flowing from a drain to the source. Therefore, in order to increase ON current of TFT and to reduce an OFF current, it is required to enlarge the diameter of crystal grain of polycrystalline silicon, and to reduce the number of the grain boundaries.

[0032] As an approach of increasing the diameter of crystal grain of polycrystalline silicon, by depositing amorphous substance (amorphous) silicon and annealing at the temperature of about 600 degrees C for several hours, solid phase growth is carried out and there is a method of obtaining the polycrystalline silicon film of the diameter of a large drop. Although various the formation approaches of this amorphous silicon exist, there is the approach of forming an amorphous silicon with the CVD method of whenever [ made from disilane ( $\text{Si}_2\text{H}_6$ ) gas for example low-temperature ] (- 450 degrees C). However, although it is possible to increase the particle size of polycrystalline silicon more than - 1micrometer, the generating location of the grain boundary is uncontrollable by this approach.

[0033] For example, the approach of enlarging the diameter of crystal grain of the polycrystalline silicon film which carried out solid phase growth is indicated by JP,62-287614,A by forming the amorphous silicon film by the thickness of 1000A or more. Moreover, the thin film transistor which makes a channel field the crystalline region except a grain-boundary part is indicated by JP,2-84773,A. However, the method of obtaining the polycrystalline silicon film of the diameter of a large drop from the amorphous silicon film in these official reports is only indicated, and the approach of controlling the generating location of the grain boundary itself is not indicated at all.

[0034] Therefore, in TFT made detailed, it was not avoided that the grain boundary exists at a certain amount of rate in a channel field. Moreover, TFT equipped with the channel field which consists of the crystalline structure by which it was controlled so that big ON current and a small OFF current were shown was not able to be obtained depending on the conventional solid phase grown method.

[0035] The purpose of this invention is canceling the above troubles, and is offering the thin film transistor which read-out write-in actuation is stabilized in the perfect CMOS mold SRAM made detailed, and can reduce power consumption, and its manufacture approach.

[0036]

[Means for Solving the Problem] The electric field effect mold thin film transistor concerning claim 1 is formed on an insulator, and is equipped with a semi-conductor thin film, the source and a drain field and gate dielectric film, and a gate electrode. A semi-conductor thin film contains the part which forms the channel field which has predetermined channel width. The source and a drain field are formed of the channel field in the part of the semi-conductor thin film separated in the direction which intersects channel width. Gate dielectric film is formed on the channel field. The gate electrode is formed on gate dielectric film. The current value which flows between the source per channel width of 1 micrometer and a drain field When the electrical potential difference of -3V is impressed between the electrical potential difference of -3V, a gate electrode, and a source field between the source and a drain field, - The channel field of a semi-conductor thin film consists of the crystalline structures by which it was controlled to be more than 0.25microA, and to be -15 or less fAs when the electrical potential difference of 0V is impressed between the electrical potential difference of -3V, a gate electrode, and a source field between the source and a drain field.

[0037] The electric field effect mold thin film transistor concerning claim 2 is equipped with a semi-conductor thin film, the source and a drain field and gate dielectric film, and a gate electrode. A semi-conductor thin film contains the part which forms a channel field. The source and a drain field are formed in the part of the semi-conductor thin film separated by the channel field. Gate dielectric film is formed on the channel field. The gate electrode is formed on gate dielectric film. It consists of single crystals and the channel field of a semi-conductor thin film is 109. An individual / cm<sup>2</sup> In the manufacture approach of the electric field effect mold thin film transistor concerning claim 3 which has the crystal defect consistency of the following, the polycrystal semi-conductor film is formed first. The

amorphous semiconductor film by which the crystalline-nucleus generating number of a field was controlled by one or less in part is formed by pouring semi-conductor ion into the polycrystal semiconductor film with a predetermined injection rate alternatively. By heat-treating this amorphous semiconductor film, the crystalline substance semi-conductor thin film with which a field consists of a single crystal in part is formed. On it, it is a field a part and gate dielectric film is formed. A gate electrode is formed on gate dielectric film. The source and a drain field are formed by introducing an impurity into two fields of a crystalline substance semi-conductor thin film which face across a field in part.

[0038] In the manufacture approach of the electric field effect mold thin film transistor concerning claim 4, it has the main front face and the amorphous semiconductor film by which the crystalline-nucleus generating number around a predetermined field was controlled by one or less is formed. By removing the amorphous semiconductor film alternatively, the side face of the amorphous semiconductor film is formed so that an acute angle may be made to the main front face. By heat-treating the amorphous semiconductor film, the crystalline substance semi-conductor thin film with which a field consists of a single crystal in part is formed. On it, it is a field a part, gate dielectric film is formed, and a gate electrode is formed on gate dielectric film. The source and a drain field are formed by introducing an impurity into two fields of a crystalline substance semi-conductor thin film which face across a field in part.

[0039] In the manufacture approach of the electric field effect mold thin film transistor concerning claim 5, the amorphous semiconductor film by which the crystalline-nucleus generating number around a predetermined field was controlled by one or less is formed first. A minute crystalline nucleus is generated by [ of the amorphous semiconductor film ] pouring a hydrogen ion or fluorine ion into a field in part. By heat-treating the amorphous semiconductor film, said crystalline substance semi-conductor thin film with which other fields other than a field consist of a single crystal in part is formed. Gate dielectric film is formed on other fields. A gate electrode is formed on gate dielectric film. The source and a drain field are formed by introducing an impurity into two fields which face across other fields of a crystalline substance semi-conductor thin film.

[0040] In the manufacture approach of the electric field effect mold thin film transistor concerning claim 6, the amorphous semiconductor film by which the crystalline-nucleus generating number around a predetermined field was controlled by one or less is formed first. some amorphous semiconductor film -- an electron ray is irradiated by the field. By heat-treating the amorphous semiconductor film, the crystalline substance semi-conductor thin film with which a field consists of a single crystal in part is formed. It is a field a part, gate dielectric film is formed upwards, and a gate electrode is formed on gate dielectric film. The source and a drain field are formed by introducing an impurity into two fields of a crystalline substance semi-conductor thin film which face across a field in part.

[0041] In the manufacture approach of the electric field effect mold thin film transistor concerning claim 7, the amorphous semiconductor film by which the crystalline-nucleus generating number around a predetermined field was controlled by one or less is formed first. some amorphous semiconductor film -- compressive stress is made to remain by the field By heat-treating the amorphous semiconductor film, the crystalline substance semi-conductor thin film with which a field consists of a single crystal in part is formed. It is a field a part, gate dielectric film is formed upwards, and a gate electrode is formed on gate dielectric film. The source and a drain field are formed by introducing an impurity into two fields of a crystalline substance semi-conductor thin film which face across a field in part.

[0042] In the manufacture approach of the electric field effect mold thin film transistor concerning claim 8, the polycrystal semi-conductor film is formed first. By pouring semi-conductor ion into the polycrystal semi-conductor film with a predetermined injection rate alternatively, the semi-conductor film with which the crystalline-nucleus generating number consists of an amorphous field controlled by one or less and a crystalline substance field which has the part of the amorphous field which carries out point contact to a field in part is formed. By heat-treating the semi-conductor film, the crystalline substance semi-conductor thin film with which a field consists of a single crystal in part is formed. It is a field a part and gate dielectric film is formed upwards. A gate electrode is formed on gate dielectric film.



The source and a drain field are formed by introducing an impurity into two fields of a crystalline substance semi-conductor thin film which face across a field in part.

[0043] In the manufacture approach of the electric field effect mold thin film transistor concerning claim 9, the amorphous semiconductor film which made one crystalline nucleus remain is formed only in a field in part. By heat-treating the amorphous semiconductor film, the crystalline substance semi-conductor thin film with which a field consists of a single crystal in part is formed. It is a field a part and gate dielectric film is formed upwards. A gate electrode is formed on gate dielectric film. The source and a drain field are formed by introducing an impurity into two fields of a crystalline substance semi-conductor thin film which face across a field in part.

[0044] In the manufacture approach of the electric field effect mold thin film transistor concerning claim 10, the amorphous semiconductor film including the field which has the 1st thickness, and the field which has the 2nd larger thickness than the 1st thickness is formed. As for this amorphous semiconductor film, the crystalline-nucleus generating number around a predetermined field is controlled by one or less. By heat-treating this amorphous semiconductor film, the crystalline substance semi-conductor thin film with which the field which has the 2nd thickness consists of a single crystal is formed. Gate dielectric film is formed on the field which has the 2nd thickness, and a gate electrode is formed on the gate dielectric film. The source and a drain field are formed by introducing an impurity into two fields which face across the field which has the 2nd thickness of said crystalline substance semi-conductor thin film.

[0045]

[Function] In the electric field effect mold thin film transistor concerning claim 1, ON current per gate width of 1 micrometer is more than 0.25microA. Therefore, when 16 megabits or more are integrated highly and the thin film transistor of this invention is used for SRAM made detailed as a load transistor, read-out write-in actuation of SRAM is stabilized. Moreover, in the thin film transistor concerning claim 1, the OFF current per gate width of 1 micrometer is 15 or less fAs. Therefore, when 16 megabits or more are integrated highly and this thin film transistor is applied to the load transistor of SRAM made detailed, the power consumption of SRAM is reduced.

[0046] In the electric field effect mold thin film transistor concerning claim 2, the channel field of a semi-conductor thin film consists of single crystals, and it is 109. An individual / cm<sup>2</sup> It has the crystal defect consistency of the following. Therefore, this thin film transistor shows the OFF current reduced while big ON current was shown. Therefore, this thin film transistor contributes to reducing the power consumption of SRAM while it integrates highly and it stabilizes read-out write-in actuation of SRAM made detailed.

[0047] In the manufacture approach of the electric field effect mold thin film transistor concerning claim 3 thru/or 10, it is controlled so that a channel field is formed from a single crystal. Moreover, the crystal defect consistency contained to a channel field is also reduced. Consequently, while ON current higher than before is shown, the thin film transistor which shows the OFF current reduced more may be manufactured.

[0048]

[Example] (B) of the top view showing TFT according [ (A) of drawing 1 ] to one example of this invention and drawing 1 is the perspective view. In drawing 1, the structure of TFT of this invention applicable to SRAM made detailed is shown typically. TFT as a p channel MOS transistor is equipped with the gate electrode 60 and the barrier layer 55. The gate electrode 60 is intervened and formed in gate dielectric film on the barrier layer 55. A barrier layer 55 consists of channel field 55a and source drain field 55b. Channel field 55a is formed from the single-crystal-silicon layer excluding the grain boundary. Source drain field 55b is formed from the polycrystalline silicon layer. Channel field 55a has the crystal defect consistency controlled by the low value.

[0049] Table 1 shows the property of TFT equipped with the barrier layer by the various manufacture approaches. In Table 1, the value of ON current of TFT and an OFF current, the number of the grain boundaries which cross each channel field of TFT, and the crystalline (defect density) relation of a channel field are shown. In Table 1, No.1-3 show the property of TFT using the barrier layer by

manufacture approach A-H of this invention. No. -- 4 and 5 show the property of TFT using the barrier layer by the conventional solid phase grown method. No.6-8 show the property of TFT using the barrier layer by other manufacture approaches as an example of a comparison. The value which converted the current value into per channel width of 1 micrometer is shown. As for O mark and the thing which is not filled, ON current is judged more than 0.25micro A/ $\mu$ m about TFT with which an OFF current fills the conditions of both below 15 fA/ $\mu$ m to be x mark.

[0050]

[Table 1]

No.	TFTの活性層 の製造方法	チャネル領域		チャネル幅1 $\mu$ m あたりの電流値		判 定
		結晶粒界 の数 (個)	結晶欠陥密度 (個/ $\text{cm}^2$ )	ON ( $\mu$ A)	OFF (fA)	
1	B	0	$1 \times 10^9$	2	6	○
2	A, E	0	$5 \times 10^9$	0.25	15	○
3	C, D, F, G, H	0	$2 \times 10^9$	1	10	○
4	従来の固相成長法	0	$1 \times 10^9$	0.2	30	×
5	従来の固相成長法	1	$1 \times 10^9$	0.1	40	×
6	レーザアニール法 (出力 大)	1	$1 \times 10^5$	4	10	○
7	レーザアニール法 (出力 小)	~10	$1 \times 10^9$	2pA	40	×
8	LPCVD法 (微少粒径の 多結晶シリコン層)	~100	$1 \times 10^{12}$	50pA	40	×

Table 1 -- referring to -- No. -- 4 and 5 show the property of TFT using the barrier layer formed only with the solid phase grown method, without controlling the location of the grain boundary. Especially according to No.4, even if a grain boundary does not exist in a channel field, since the crystal defect consistency is large, the conditions of the above-mentioned predetermined current value are not satisfied. Thus, even if the grain boundary does not exist in a channel field, defect density is  $1 \times 10^9$ . An individual /  $\text{cm}^2$  When it is extent, it is understood that desired value of ON current and an OFF current cannot be filled.

[0051] On the other hand, TFT (2 No.1, 3) using the barrier layer by the manufacture approach of this invention satisfies the desired value of ON current and an OFF current. The channel field by the manufacture approach of this invention does not include the grain boundary, but is  $1 \times 10^9$ . An individual /  $\text{cm}^2$  It has the crystal defect consistency of the following.

[0052] The property of TFT using the barrier layer by the laser annealing method is referred to as other examples. When No.6 have the large output of laser to extent which polycrystalline silicon fuses, No.7 show the case where the laser output which is extent which polycrystalline silicon does not fuse is small. As for the magnitude of the silicon crystal grain which constitutes a barrier layer, in the case of No.6,

particle size has also gathered in about 0.5 micrometers. The one grain boundary exists in a channel field. However, since a crystal defect consistency is stopped by the very low value, TFT which fills the desired value of ON current and an OFF current can be obtained. In the case of No.7, it is small, and since a crystal defect consistency is also high, the diameter of crystal grain of the barrier layer obtained cannot fill a demand of a predetermined current value.

[0053] No.8 [ moreover, ] -- LPCVD -- the property of TFT using the polycrystalline silicon layer by law as a barrier layer is shown. In this case, the diameter of crystal grain which constitutes a barrier layer is minute at about 150Å. This TFT cannot fill a demand of a predetermined current value.

[0054] Drawing 2 shows the electrical characteristics of TFT by one example of this invention repeatedly to the conventional example. Drain current  $I_D$  at the time of impressing drain electrical-potential-difference  $V_D = -3V$  of TFT with 0.8 micrometers [ of channel length ], and a channel width of 0.4 micrometers to drawing 2 The relation of gate voltage  $V_G$  is shown. According to TFT of this invention, it is the drain current  $I_D$  at the time of gate voltage  $V_G = -3V$  (ON condition).  $-0.1\mu A$  (10<sup>-7</sup>A) and drain current  $I_D$  at the time of gate voltage  $V_G = 0V$  (OFF condition) It is  $-6fA$  (6x10<sup>-15</sup> A). These values will be  $-0.25\mu A/\mu m$  and  $-15 fA/\mu m$ , respectively, if it converts into per gate width of 1 micrometer. Compared with the conventional TFT, it is understood that TFT of this invention shows high ON current and a low OFF current.

[0055] (A) of drawing 3 and (B) are the top views of the memory cell of TFT load mold perfect CMOS and SRAM by one example of this invention showing superficial arrangement of the upper layer and a lower layer active element, respectively. In addition, the representative circuit schematic of the memory cell of SRAM of this invention is the same as that of drawing 83 and drawing 84 which show the conventional example.

[0056] With reference to drawing 3 (A), in the upper layer, gate dielectric film is intervened on a barrier layer 55, and the gate electrode 60 is formed. Boron (B) is introduced into the barrier layer of a field which has not lapped with the gate electrode 60, and source drain field 55b of p mold is formed in it. Source drain field 55b is formed from a polycrystalline silicon layer. Thereby, the p channel MOS transistors (TFT) Q1 and Q3 are formed. The top gate mold structure which has the gate electrode 60 on a barrier layer 55 is used for the upper active element.

[0057] On the other hand, as shown in drawing 3 (b), in a lower layer, it is p of a semi-conductor substrate. - The barrier layer 56 is formed in the field. Gate dielectric film is intervened on a barrier layer 56, and the gate electrode 71 is formed. It is n+ by introducing arsenic (As) into the barrier layer of a field which has not lapped with the gate electrode 71. Source drain field 56b is formed. Thus, the n channel MOS transistors Q2, Q4, Q5, and Q6 are formed. Moreover, in order to connect a vertical layer electrically, through holes 51a, 51b, 52, 53, and 54 are formed. In the field of a through hole 52, the gate electrode 60 and the barrier layer 55 are formed so that it may not lap mutually.

[0058] Drawing 4 shows the cross section seen from the direction which met the K-K line of drawing 3. With reference to drawing 4, the cross-section structure of one example of the memory cell of SRAM where TFT of this invention was applied is explained. Since lower layer structure is the same as that of the conventional example ( drawing 86 ), it explains briefly. The separation oxide film 21 is formed so that a barrier layer 56 may be divided into the silicon single crystal substrate 1. Gate dielectric film 41 is formed on channel field 56a. The gate electrode 71 is formed on gate dielectric film 41. Source drain field 56b of n mold is formed in the field of a barrier layer separated with the gate electrode 71. The interlayer insulation film 42 is formed on the gate electrode 71. Into the interlayer insulation film 42, opening of the through holes 51a, 51b, 52, 53, and 54 is carried out. The electric conduction film 81 is formed in each through hole. The electric conduction film 81 consists of a polycrystalline silicon layer and a tungsten silicide layer. The barrier layer 55 which consists of a polycrystalline silicon layer with a thickness of 1000Å which does not include the grain boundary is formed in the channel field so that it may be filled up with the inside of a part of through hole 52 and the field of through hole 51b on an interlayer insulation film 42 (refer to drawing 3 ). As is 3x10<sup>18</sup>/cm<sup>2</sup> in a barrier layer 55. By introducing with ion-implantation with an injection rate, channel field 55a of n mold is formed. On the barrier layer 55, the gate dielectric film 43 which consists of an oxide film with a thickness [ by the

CVD method ] of 200A is formed. the gate electrode 60 -- an interlayer insulation film 42 top -- a part of through hole 52 -- it is formed, respectively so that it may be filled up with the inside of a field and the field of through hole 51a. Source drain field 55b of p mold is formed in the barrier layer 55. When it constitutes source drain field 55b as LDD structure, it is  $1 \times 10^{13} \text{--}/\text{cm}^2$  at the impregnation energy of 10keV(s) about boron (B) in [ of about 60 gate electrode ] source drain field 55b first. It is p by carrying out an ion implantation with an injection rate. - A field is formed. Then, it is injection rate  $1 \times 10^{15} \text{--}/\text{cm}^2$  at impregnation energy 10keV about boron (B) after forming an insulator layer spacer in the side attachment wall of the gate electrode 60. It is p+ by pouring into source drain field 55b. A field is formed. Thus, the upper p channel MOS transistors (TFT) Q1 and Q3 are constituted.

[0059] In addition, it is prepared for planning electrical installation of a barrier layer 55 and a lower layer so that a barrier layer 55 may not lap with the gate electrode 60 mutually in the field of a through hole 52 in (A) of drawing 3 . The ion implantation for forming source drain field 55b in a barrier layer 55 is performed from the upper part of the gate electrode 60. Therefore, if the gate electrode 60 is formed in all the fields of a through hole 52, boron will not reach in the field of a through hole 52 to the barrier layer 55 located under the gate electrode 60. Consequently, electrical installation of a barrier layer 55 and a lower layer cannot be planned.

[0060] The interlayer insulation film 44 is formed so that the upper TFT may be covered. The aluminum wiring layer 91 is formed so that it may connect with source drain field 56b through through holes 53 and 54. Furthermore, the interlayer insulation film 45 which consists of an oxide film is formed on the aluminum wiring layer 91. On an interlayer insulation film 45, the aluminum wiring layer 92 for word line reinforcement is formed. Thus, the memory cell of TFT load mold perfect CMOS-SRAM of this invention is constituted.

[0061] TFT(p channel MOS transistor) Q1 of this invention and ON current of Q3 are 0.1microA ( drawing 2 ). Therefore, even if the subthreshold level current of 1nA flows to the driver transistor Q2 (or Q4) of the node by the side of "High" level at the time of read-out of data, ON current (0.1microA) with the p channel MOS transistor (TFT) Q1 (or Q3) larger double figures by the side of the node of "High" level than a subthreshold level current can be supplied. Therefore, in a semi-conductor manufacture process, when a component dimension varies, even if a component property (beta ratio) changes, read-out actuation of a memory cell with sufficient margin is guaranteed.

[0062] Moreover, time amount t1 required to charge the potential of the node of "High" level from ( $V_{cc} - V_{th}$ ) to  $V_{cc}$  at the time of the store of data It has been  $0.1 \text{micro} t1 = 1fF \times 1V / A = 10ns$  (10-8sec). Consequently, the store of the data in the memory cell of SRAM of this invention is attained by the time amount with which it is satisfied of the write time required of semiconductor memory enough.

[0063] Furthermore, the OFF currents of the p channel MOS transistors (TFT) Q1 and Q3 by this invention are 6fA(s) ( drawing 2 ). Therefore, if TFT of this invention is applied, for example to 16-megabit SRAM, the standby current will be set to 0.1microA (=6fA $\times$ 224 cel). Thus, since standby current of SRAM can be made below into 1microA, SRAM of a low power is obtained.

[0064] In addition, in the above-mentioned example, the structure (structure which has the gate electrode 60 on a barrier layer 55) of a top gate mold is adopted as TFT load mold perfect CMOS-SRAM. However, as TFT of this invention, even if it will make TFT of this invention bottom gate mold structure (structure which has the gate electrode 60 under a barrier layer 55) if an OFF current satisfies below 15 fA/ $\mu\text{m}$ , and ON current applies to SRAM above 0.25micro A/ $\mu\text{m}$ , the same effectiveness is done so.

[0065] Next, each of manufacture approach A-H of the semi-conductor thin film used as a barrier layer of TFT of this invention is explained.

[0066] A. Since the crystalline-nucleus generating consistency of a field is decreased in part by injecting silicon ion into a polycrystalline silicon layer, approach example A1 drawing 5 which carries out solid phase growth of the single crystal - drawing 7 are the top views showing the process by the 1st example of the manufacture approach A of a semi-conductor thin film in order. Drawing 5 is referred to and they are impregnation energy 100keV and  $2 \times 10^{15}$ /of injection rates  $\text{cm}^2$  to a polycrystalline silicon field. By carrying out the ion implantation of the silicon, the amorphous field 102 where a crystalline-nucleus

generating consistency is large is formed. Moreover, impregnation energy 100keV,  $5 \times 10^{15}$ /of injection rates cm<sup>2</sup> By carrying out the ion implantation of the silicon, the amorphous field 101 where a crystalline-nucleus generating consistency is small is formed. Thus, the crystalline-nucleus generating number in the channel field 103 is made into one or less piece.

[0067] Then, this amorphous silicon film is heat-treated in nitrogen-gas-atmosphere mind with a temperature of 600 degrees C for about 5 hours. As shown in the middle of solid phase growth during the heat treatment at drawing 6, many nuclei 104 of a silicon single crystal are generated in the field 102 where a crystalline-nucleus generating consistency is large. Moreover, in the field 101 where a crystalline-germ generating consistency is small, one nucleus 104 occurs in the channel field 103.

[0068] After solid phase growth is completed, all amorphous silicon crystallizes and many crystal grain divided in the grain boundary 105 as shown in drawing 7 is formed. In the channel field 103, since crystal growth happens from one nucleus 104, the single crystal silicon which occupies the channel field 103 whole region is formed.

[0069] Example A2 drawing 8 - drawing 9 are the top views showing the 2nd example of the manufacture approach A of the semi-conductor thin film of this invention in order of a process. With reference to drawing 8, the field 101 where a crystalline-nucleus generating consistency is small, and the field 102 where a crystalline-nucleus generating consistency is large are formed like an example A1 in an amorphous silicon thin film. The field 101 where a crystalline-germ generating consistency is small includes the channel field 103. Among the fields 101 where a crystalline-germ generating consistency is small, area-size y of the outside of the channel field 103 is set up so that it may become  $y \geq x$  to the shorter side x of the channel field 103.

[0070] Then, solid phase growth takes place by performing the heat treatment same to an amorphous silicon thin film as an example A1. As shown in drawing 9, also when the location of the nucleus 104 generated in the field 101 where a crystalline-germ generating consistency is small exists out of the channel field 103 at this time, it may be controlled that a grain boundary 105 invades into the channel field 103 from the field 102 where a crystalline-germ generating consistency is large. This is because the distance from the field 102 where a crystalline-germ generating consistency is large to the channel field 103 is set up sufficiently greatly to the shorter side of the channel field 103. Thus, the grown-up crystal reaches throughout channel field 103, and a single-crystal-silicon thin film is formed in the channel field 103 whole region.

[0071] B. Approach example B1 drawing 10 which carries out solid phase growth of the amorphous silicon thin film which has the side attachment wall of an inclination configuration to the single crystal silicon is the sectional view showing the 1st example of the manufacture approach B of the semi-conductor thin film of this invention in order of a process. With reference to (A) of drawing 10, the amorphous silicon thin film 203 is formed on an insulating substrate 202. The amorphous silicon thin film 203 is formed at the temperature of 450 degrees C using Si two H6 / mixed gas of N<sub>2</sub>. By adjusting this mixed-gas ratio, it is possible to form the amorphous silicon thin film which has the thickness of the range of 100-8000Å. In this example, the amorphous silicon thin film 203 of 2000Å of thickness is formed.

[0072] With reference to (B) of drawing 10, the resist film 208 by which patterning was carried out is formed in the field which is equivalent to the channel field of TFT on the amorphous silicon thin film 203. The magnitude of this resist film 208 is larger than the area which should serve as a channel field of TFT essentially. For example, as for the magnitude of the resist film 208, about 0.3 micrometers of width of face of length and width are large, respectively. That is, when forming TFT with 0.8 micrometers [ of channel length ], and a channel width of 0.4 micrometers, the magnitude of the resist film 208 is 1.1micrometerx0.7micrometer.

[0073] Next, as shown in (C) of drawing 10, patterning of the amorphous silicon thin film 203 is carried out, using the resist film 208 as a mask so that the side attachment wall of an inclination configuration may be formed by resist backstep sequence in the plasma gas ambient atmosphere of a HCl system. Whenever [ tilt-angle / of this side attachment wall ] is so desirable that it is a small include angle. For example, patterning of the amorphous silicon thin film 203 is carried out so that whenever [ tilt-angle /

of a side attachment wall ] may turn into 45 degrees.

[0074] As shown in (D) of drawing 10, the amorphous silicon thin film 203 by which patterning was carried out so that a side-attachment-wall side might become an inclination configuration is heat-treated at the temperature of 600 degrees C in nitrogen-gas-atmosphere for 12 hours. An amorphous silicon is heat-treated and a correlation exists between the thickness of the amorphous silicon heat-treated in the crystalline-substance-ized process, and the crystallization rate of the polycrystalline silicon formed. For example, when heat-treating the amorphous silicon of 2000Å of thickness at the temperature of 600 degrees C, it crystallizes 100% in 3 hours, and the diameter of crystal grain is 1.2-1.5 micrometers. Moreover, if the amorphous silicon of 500Å of thickness is heat-treated at the temperature of 600 degrees C for 12 hours, an amorphous silicon will be crystallized 100%. That is, when heat-treating the amorphous silicon thin film which has the inclination side-attachment-wall section, the rate of crystal growth of the center section of the amorphous silicon thin film is quick, and the rate of crystal growth of inclination side \*\*\*\*\* is slow. Therefore, as shown in (D) of drawing 10, the polycrystalline silicon thin film 207 without the grain boundary may be formed in a center section.

[0075] In the above example B1, the dimension of the resist pattern used uses the thing with a dimension [ in every direction than the channel area of TFT ] big 0.3 micrometers. This is a photoengraving-process process for forming a channel field, and is because the gap of the superposition dimension when forming a mask in the polycrystalline silicon thin film by which patterning was carried out again was taken into consideration. As shown in (D) of drawing 10, to form in the inclination side-attachment-wall section of the polycrystalline silicon thin film 207 TFT which has a grain boundary, the resist pattern of the above big sizes is not required. Moreover, although whenever [ tilt-angle / of a side attachment wall ] was set as 45 degrees, if an amorphous silicon can be crystallized so that the grain boundary may not be included in the channel field of TFT, it will not be limited to this include angle. Although the amorphous silicon thin film of 2000Å of thickness which has the sloping side-attachment-wall side is heat-treated at the temperature of 600 degrees C in the above-mentioned example for 12 hours, as long as it crystallizes only the field of 2000Å of thickness, heat treatment of 3 hours is sufficient.

[0076] An amorphous condition is in a condition without the regular crystal structure like the usual solid-state crystal. However, in fact, into the amorphous silicon deposited with the low-temperature CVD method, if it restricts only to a very minute field, since the regular crystal structure which is called a "minute crystalline nucleus" exists, it cannot be said as a perfect amorphous condition. In using such an amorphous silicon as single crystal silicon using a solid phase grown method, karyogenesis is mainly carried out from this minute crystalline nucleus, and a silicon crystal grows. During heat treatment of solid phase growth, if karyogenesis only of the one piece is carried out into a certain field, this field can consist of one single crystal silicon.

[0077] As an approach of reducing a minute crystalline nucleus, the ion implantation of the silicon is carried out, association of a minute crystalline nucleus is cut, and the approach of breaking regular structure is learned. R.B. Iverson and R.Reif J.Appl.Phys.62(5), 1 September By 1987 and p.1675-1681, it is reported by by carrying out the ion implantation of the silicon that the condition of association in an amorphous silicon is changeable. In example B-2 of the manufacture approach of the semi-conductor thin film of this invention, the generating location of the grain boundary is controlled using an above-mentioned thing.

[0078] Example B-2 drawing 11 - drawing 14 are the sectional views showing the 2nd example of the manufacture approach B of the semi-conductor thin film of this invention in order of a process. With reference to drawing 11, the insulator layer 202 is formed on the semi-conductor substrate 201. The amorphous silicon thin film 203 is formed like an example B1 by 2000Å of thickness on an insulator layer 202. The condition that the amorphous silicon thin film 203 was etched using the resist film 208 as a mask is shown in drawing 11. Before removing the resist film 208, silicon ion is  $3 \times 10^{15}/\text{cm}^2$  by 30 rotation slanting impregnation (arrow head 214) to the direction of a normal at impregnation energy 100keV only to the periphery of the pattern of the amorphous silicon thin film 203. It is poured in with the injection rate which is extent. Thereby, the minute crystalline nucleus in the periphery 212 of the



amorphous silicon thin film 203 can be lost. Moreover, the condition that silicon does not carry out karyogenesis only of the one piece during solid phase growth in the center section 203 by which an ion implantation is not carried out may be realized. Drawing 21 is the top view which looked at the field of an amorphous silicon thin film from the top. What is necessary is just to decide  $\Delta S$  so that it may be set to  $\rho T(S - \Delta S) < 1$  when  $0/\text{cm}^2/\text{min}$ , and heat treatment time amount of solid phase growth are set to  $T_{\text{min}}$  for the karyogenesis consistency of the field where the ion implantation of  $\Delta S/\text{cm}^2$  and the silicon was carried out in the field where the ion implantation of  $\rho/\text{cm}^2/\text{min}$ , and the silicon was carried out [ product / of an amorphous silicon thin film / whole surface ] in the karyogenesis consistency of  $S/\text{cm}^2$  and the amorphous silicon itself, as shown in drawing 21. A rotation slanting impregnation include angle and impregnation energy can determine  $\Delta S$ .

[0079] for example, the case where solid phase growth of the amorphous silicon of 2 (0.8 micrometers long, 0.4 micrometers wide), karyogenesis consistency  $\rho = 3 \times 10^6 / \text{cm}^2 / \text{min}$  is processed and carried out by  $T = 180 \text{ min}$  an area of  $S = 0.32$  micrometers -- the upper formula --  $\Delta S > 0.11 \text{ micrometer}^2$  it must be. The range of silicon ion is about 0.20 micrometers at the time of impregnation energy 100keV. With this impregnation energy, if rotation slanting impregnation is performed at 30 impregnation include angles, the field of 0.1 micrometers of \*\*\*\* by which silicon impregnation was carried out will be formed in the periphery of an amorphous silicon. this time --  $\Delta S = 0.2 \text{ micrometer}^2$  it is -- the upper formula is satisfied.

[0080] Next, with reference to drawing 12, the resist film 208 is removed and the condition that heat treatment of solid phase growth was started is shown. The minute crystalline nucleus 206 is beginning to grow. The heat treatment temperature in this case is set as about 600 degrees C. Then, as shown in drawing 13, crystal growth is performed and the minute crystalline nucleus 206 grows up to be the big crystal 207. Finally, the field of an amorphous silicon is filled with single crystal silicon 207 as shown in drawing 14.

[0081] In addition, what is necessary is to carry out the ion implantation (for example,  $1 \times 10^{15} / \text{cm}^2$  injection rate of extent) of the silicon to the whole amorphous silicon field beforehand, and just to make  $\rho$  small, when area  $S$  and the karyogenesis consistency  $\rho$  are large and it is difficult to satisfy the upper formula.

[0082] an example B3 -- this example shows the case where example B-2 is applied to an example B1. Drawing 15 - drawing 17 are the sectional views showing the 3rd example of the manufacture approach B of the silicon thin film of this invention in order of a process. With reference to drawing 15  $R > 5$ , the amorphous silicon thin film 209 is formed on the insulator layer 202. The condition of having been etched so that it might become large is shown as the resist film 208 is used as a mask and the field of the amorphous silicon thin film 209 approaches an insulator layer 202. That is, the side-attachment-wall side of the amorphous silicon thin film 209 has an inclination configuration. Before removing the resist film 208, silicon ion is poured into the periphery of the amorphous silicon thin film 209 as shown by the arrow head 205. Thereby, the minute crystalline nucleus of the periphery of the amorphous silicon thin film 209 can be lost.

[0083] With reference to drawing 16, the resist film 208 is removed and the condition that heat treatment of solid phase growth was started is shown. If the magnitude of the resist film 208 and the degree of taper etching are set up so that the formula of example B-2 may be filled, karyogenesis can make one situation all over the field of the amorphous silicon thin film 209. Thus, if solid phase growth is performed, as finally shown in drawing 17, the minute crystalline nucleus 206 will grow and it will become single crystal silicon 207.

[0084] In the above-mentioned example B3, since the rate of crystal growth should be slow in a periphery even if a nucleus occurs in the periphery of an amorphous silicon thin film, the grain boundary of the crystal grain by this nucleus does not arrive at a center section. This is because the factor of the rate of crystal growth exists as an important thing together with a karyogenesis consistency, when carrying out solid phase growth of the amorphous silicon and making single crystal silicon. About the rate of crystal growth, research shows becoming large wholeheartedly, so that the thickness of an amorphous silicon is thick. In addition, what is necessary is just to remove by wet etching or scaling,

when the small crystal grain formed in the periphery becomes a problem.

[0085] Example B4 drawing 18 - drawing 20 are the sectional views showing the 4th example of the manufacture approach B of the semi-conductor thin film of this invention in order of a process. With reference to drawing 18, the amorphous silicon thin film 210 is formed on an insulator layer 202. The field of this amorphous silicon thin film 210 is formed so that it may become so small that it goes to an insulator layer 202 by back taper etching. That is, the amorphous silicon thin film 210 has the sloping side-attachment-wall side in a periphery.

[0086] The condition that solid phase growth began is shown by by heat-treating to an amorphous silicon thin film with reference to drawing 19. Research shows wholeheartedly that especially many minute crystalline nuclei to the interface of an oxide film and an amorphous silicon in an amorphous silicon exist. Therefore, if the field 211 where the amorphous silicon thin film 210 and an insulator layer (oxide film) 202 touch is made small by back taper etching of the amorphous silicon thin film 210, only the nucleus 206 which did not carry out [ the nucleus ] karyogenesis from a periphery 213 and was generated in the center section will grow. Thus, as shown in drawing 20, the nucleus 206 generated in the center section can be grown up into single crystal silicon 207. That whole field can be used as a single crystal especially in this example B4, without making small the karyogenesis consistency of the periphery of an amorphous silicon thin film by carrying out the ion implantation of the silicon. In addition, after the configuration of the amorphous silicon thin film etched into the back taper deposits an amorphous silicon on the slot formed in the oxide film of taper etching and it carries out etchback to the interface of a pad, an oxide film, and an amorphous silicon, it may be formed by removing an oxide film by wet etching etc.

[0087] C. Approach drawing 22 which is made to generate a micronucleus, is made to carry out solid phase growth of the field where karyogenesis consistencies other than the field are small, and is single-crystal-ized is the sectional view showing one example of the manufacture approach C of the semi-conductor thin film of this invention in order of a process by [ of an amorphous silicon ] pouring the ion of hydrogen or a fluorine into a field in part. With reference to (A) of drawing 22, an oxide film 302 is formed on the semi-conductor substrate 301. an oxide-film 302 top -- the amorphous silicon film 308 -- for example, LPCVD -- it is formed using disilane ( $\text{Si}_2\text{H}_6$ ) gas at the temperature of 450 degrees C of law. Then, the resist film 309 is formed on the part which is equivalent to the channel field of the amorphous silicon film 308 as shown by (B) of drawing 22. Using this resist film 309 as a mask, as a hydrogen ion or fluorine ion is shown by the arrow head 310, it is  $1.0 \times 10^{15}/\text{cm}^2$  at the impregnation energy of Number keV. It is alternatively poured into the amorphous silicon film 308 with the injection rate of extent. After removing the resist film 309, by performing heat treatment in nitrogen-gas-atmosphere mind at the temperature of about 600 degrees C, in the field 307 where a karyogenesis consistency is high, much small crystal grain 304 is made and the big crystal grain 311 is formed within the part 306 equivalent to a channel field. Thus, as shown in (C) of drawing 22, a grain boundary 305 does not exist in the channel field 306, but one crystal grain 311 can occupy the field.

[0088] D. Approach drawing 23 which controls the generating location of minute crystal grain and is single-crystal-ized with solid phase growth - drawing 27 are the sectional views showing one example of the manufacture approach D of the semi-conductor thin film of this invention in order of a process by irradiating an electron ray at an amorphous silicon. With reference to drawing 23, the insulator layer 402 is formed on the semi-conductor substrate 401. On the insulator layer 402, the amorphous silicon film 403 is formed by the thickness which is about 2000Å. The resist film is used as a mask and it is  $1 \times 10^{16}/\text{cm}^2$  at the impregnation energy of 140keV(s) about silicon ion to a field 404. By pouring in with the injection rate of extent, the minute crystalline nucleus which exists in the amorphous silicon film is destroyed. Thereby, the karyogenesis consistency in a field 404 is made into one or less piece.

[0089] Then, as shown in drawing 24, an electron ray 405 controls an exposure location into the surface central part of the field 404 of the amorphous silicon film, and is irradiated. Thereby, an amorphous silicon is melted and the minute crystalline nucleus 406 of the silicon at the time of solid phase growth is formed. At this time, the diameter of the electron ray irradiated is extracted to 0.05 micrometers, and impregnation energy is [ 50microA (output 0.5W) and the irradiation time of 10keV(s) and a current ]

1ns / one point.

[0090] Drawing 25 shows the condition that heat treatment of solid phase growth was started. Single crystal silicon is beginning to grow based on the only minute crystalline nucleus 406 in the field 404 formed of the exposure of an electron ray 405. The temperature of heat treatment is set as about 600 degrees C. Then, as shown in drawing 26, the minute crystalline nucleus 406 grows up to be single crystal silicon 407. The single crystal silicon 407 which finally occupies a field 404 as shown in drawing 27 is formed. Amorphous silicons other than field 404 turn into polycrystalline silicon 408.

[0091] In addition, although the electron ray was irradiated in the above-mentioned example for karyogenesis, if it is the charged particle which can generate a nucleus, it is good anything.

[0092] E. Approach example E1 drawing 28 which makes the rate of crystal growth control and single-crystal-ize - drawing 33 are the sectional views showing the 1st example of the manufacture approach E of the semi-conductor thin film of this invention in order of a process by applying compressive stress to an amorphous silicon partially. With reference to drawing 28, the amorphous silicon film 502 is formed on the thick silicon oxide (thermal oxidation film) 501 as an insulator layer. This amorphous silicon film 502 is formed at temperature T1 (400-600 degrees C) by a plasma-CVD method etc. For example, the amorphous silicon film 502 is formed at the temperature of 450 degrees C, using a disilane ( $\text{Si}_2\text{H}_6$ ) as material gas. With reference to drawing 29, silicon oxide 503a is formed on the amorphous silicon film 502. This silicon oxide 503a is the temperature T2 lower than single crystal-ized temperature T3 (usually 600 degrees C or more) of an amorphous silicon. It is formed on the conditions in which internal stress is stored.

[0093] Then, as shown in drawing 30, the resist film 504 is formed on silicon oxide 503a only at the periphery of the field which the amorphous silicon film 502 should make single-crystal-ize. With reference to drawing 31, silicon oxide 503b is formed by carrying out patterning of the silicon oxide 503a, using the resist film 504 as a mask. Then, the resist film 504 is removed.

[0094] Next, it is temperature T3 after silicon oxide 503b has adhered on the amorphous silicon film 502, as shown in drawing 32. Heat treatment is performed. Although it is, on the whole, going to single-crystal-ize the amorphous silicon film 502, since the internal stress conserved into silicon oxide 503b is released by heat treatment, it is influenced of the destressing in the field of the amorphous silicon film 502 which is not covered with silicon oxide 503b. Therefore, as conversely shown by the arrow head 507 in the amorphous silicon oxide film 502, internal stress (compressive stress) is added. Consequently, single crystal-ization of the field of a silicon acid or the amorphous silicon film 502 which is not covered with film 503b is promoted. Thus, as shown in drawing 33, the single-crystal-silicon film 505 is formed in the field which is not covered with silicon oxide 503b, and the polycrystalline silicon film 506 is formed in the field covered with silicon oxide 503b.

[0095] In drawing 29, the case of being as follows can be considered as an example of the conditions on which internal stress is stored in silicon oxide 503a. Distribution as shown in drawing 40 (A) or (C) is shown under silicon oxide 503b to which patterning of relative density  $\rho$  or the internal stress S was carried out.

[0096] (I)  $T_2 < T_1 < T_3$  In the case Since growth of silicon oxide 503a is relatively lower than the formation temperature of the amorphous silicon film at the same time it is influenced of the amorphous silicon film 502 of a substrate, to silicon oxide 503a, internal stress bank-comes to be easy.

Consequently, the internal stress S1 in the thermal oxidation film 501 which is the substrate of the amorphous silicon film, the internal stress S2 of the amorphous silicon film 502, and internal stress S3 in CVD silicon oxide 503a on the amorphous silicon film 502 Relation is  $S_2 < S_1 < S_3$  in (A) of drawing 40  $R > 0$ . Or  $S_1 < S_2 < S_3$  [ of drawing 40 ] of (C) It becomes either. Also setting in the case of which, the relation of internal stress is  $S_2 < S_3$ . It has a relation.

[0097] (II) CVD silicon oxide 503a is nonstoichiometric composition, and, in the case that relative density is larger than the relative density of the amorphous silicon film 502, it is.

[0098] The amorphous silicon film becomes stoichiometric from a single element. However, since the crystal lattice of the amorphous silicon film is confused greatly, if it measures the single-crystal-silicon film and volume which consist of the same atomic number, the volume will become large in proportion

[ to some extent ] to how to confuse a grid. Therefore, the consistency of the amorphous silicon film becomes small compared with the consistency of the single-crystal-silicon film. Therefore, relative density  $\rho_2$  of the amorphous silicon film Although it is small, it has the relation of  $\rho_2 < 1$ . Moreover, since an amorphous silicon is formed of the chemical reaction in a silicon hydride or a hydrogen ambient atmosphere in many cases, as the presentation shown in  $\text{Si:H}$  and a chemical formula, the relative density is smaller than 1 including hydrogen. On the other hand, stoichiometry-silicon oxide is a chemical formula  $\text{SiO}_2$ . The percentage of Si and O is 1 to 2 so that it may be shown. However, when formed conditions other than the reaction of a balanced system in which silicon oxide is formed of thermal oxidation of single crystal silicon, it becomes a nonstoichiometric thing with the presentation of  $\text{SiO}_X$  ( $X$  is not 2). Here, they are  $\text{N}_2\text{O}$  and  $\text{SiH}_4$ . If it is  $X < 2$  like [ in the film formation by the plasma-CVD method of a system ], silicon will be in a superfluous condition and the relative density of the silicon oxide will become large from 1. At this time, it is  $\rho_2 < \rho_1 < \rho_3$  [ of drawing 40 ] of (A). Or  $\rho_1 < \rho_2 < \rho_3$  [ of drawing 40 R> 0 ] of (C) A case is hit and it is  $\rho_2 < \rho_3$  like the case of (I). It becomes relation.

[0099] Thus, at least, under one of conditions, when [ of the above (I) and (II) ] silicon oxide 503a is formed, above-mentioned compressive stress occurs during heat treatment at the time of solid phase growth in the amorphous silicon film 502 of the field which is not covered with silicon oxide 503b. Thereby, single crystal-ization of the applicable part is promoted compared with the case where compressive stress does not exist.

[0100] Moreover, although an expression called single-crystal-izing is used in the above-mentioned explanation, also when an amorphous silicon phase transfers to the polycrystalline substance, it is single crystallization in large semantics. Therefore, even when single crystal-ization is promoted by existence of compressive stress and it polycrystalline-substance-izes, in order that each crystal grain which constitutes the polycrystalline substance may grow quickly compared with the case where the usual compressive stress does not exist, each particle size becomes comparatively large and the grain boundary area per unit volume decreases.

Example E2 drawing 34 - drawing 39 are the sectional views showing the 2nd example of the manufacture approach E of the semi-conductor thin film of this invention in order of a process. With reference to drawing 34, the amorphous silicon film 502 is temperature  $T_1$  by the plasma-CVD method on the insulator layer 501 which consists of thermal oxidation film. It is formed. As shown in drawing 35, CVD silicon oxide 503c which is easy to contract by the next heat treatment process is formed at temperature  $T_2$  on the amorphous silicon film 502. The temperature conditions at this time serve as  $T_1 < T_2 < T_3$  as a thing corresponding to the conditions (I) of an example E1. This temperature condition is made into conditions (III).

[0101] As shown in drawing 36, the resist film 504 is formed only in the field to which the amorphous silicon film 502 should be single-crystal-ized on CVD silicon oxide 503c. Then, as shown in drawing 37, 503d of CVD silicon oxide is formed by etching CVD silicon oxide 503c, using the resist film 504 as a mask. And the resist film 504 is removed.

[0102] It is temperature  $T_3$  in the condition of having adhered to 503d of CVD silicon oxide by which patterning was carried out on the amorphous silicon film 502 as shown in drawing 38. Heat treatment is performed. 503d of silicon oxide by which patterning was carried out contracts by this, and induction of the compressive stress is carried out into the amorphous silicon film 502 of a substrate. Consequently, expansion of single-crystal-izing of the part to which induction of the compressive stress was carried out, or the particle size of a single crystal object is promoted. Generating of compressive stress is shown by the arrow head 507 in drawing 38. Thus, as shown in drawing 39, the single-crystal-silicon film 505 and the polycrystalline silicon film 506 are formed.

[0103] Moreover, under the conditions (III) in drawing 35, the relation of the internal stress in each film is  $S_3 < S_2 < S_1$  [ of drawing 40 ] of (B). Or  $S_1 < S_3 < S_2$  [ of drawing 40 ] of (D) It is either. which case -- also setting -- the relation of internal stress --  $S_3$  -- < --  $S_2$  it is .

[0104] Furthermore, CVD silicon oxide 503c is formed by the reduced pressure CVD method at comparatively high temperature, the conditions (IV) corresponding to the conditions of (II) of an

example E1 consist of  $\text{SiOX(s)}$  with a superfluous oxygen component ( $X > 2$ ), and the relative density is a case lower than the relative density of the amorphous silicon film 502. Also in this case, the relation of the relative density of each film is  $\rho_3 < \rho_2 < \rho_1$  [ of drawing 40 ] of (B). Or  $\rho_1 < \rho_3 < \rho_2$  [ of drawing 40 ] of (D) It is either. Anyway, the relation of relative density is surely  $\rho_3 < \rho_2$ . It becomes.

[0105] Thus, also in an example E2, the same effectiveness as an example E1 is done so. In the above-mentioned explanation, although explained bearing in mind the production process of TFT applied to SRAM, the above-mentioned manufacture approach is applicable also to the production process of the semiconductor device of all structures.

[0106] Moreover, drawing 41 is the sectional view showing another process corresponding to drawing 31 or drawing 37. As shown in drawing 41, silicon oxide 503e is alternatively formed on the amorphous silicon film 502 by interrupting the flow 508 of material gas with the metal mask 509. Thus, if silicon oxide 503e is formed covering the flow of material gas partially, alternative formation of a up to [ the amorphous silicon film 502 of silicon oxide 503e ] will be attained.

[0107] In addition, although silicon is assumed as an ingredient of the semi-conductor film in the above-mentioned example the manufacture approach of the above-mentioned example -- except for silicon -- germanium and C (a diamond --) graphite etc. -- etc. -- the IV-IV group compound semiconductor ingredient represented also with the thing of the single quality of the material by SiGe, and SiC and TiC -- duality like the group-III-V-semiconductor ingredient represented by GaAs, and GaP and InP, the II-VI group compound semiconductor ingredient represented by CdTe, AsSe, HgCdTe, and InGaAsP -- the semiconductor material which consists of the above element is applied to the compound semiconductor of any presentations. Moreover, the above-mentioned manufacture approach does so the effectiveness that the semiconductor material of what kind of condition of polycrystal, microcrystals, any of those mixture, etc. is the same. Moreover, in any [ of p mold, n mold and an intrinsic semiconductor ] case, the above-mentioned manufacture approach does the same effectiveness so.

[0108] Furthermore, what kind of means may be used for plasma CVD, ECR(Electron Cycrotron Resonance) CVD, Light CVD, spatter deposition, vacuum evaporatio, liquid phase epitaxy, lamination, electron beam evaporation, molecular beam deposition, cluster ion beam vacuum evaporatio, etc., and the manufacture approach of the amorphous silicon film will not be especially limited, if what becomes a single crystal with solid phase growth, or comes to have a property near a single crystal can be formed.

[0109] Moreover, although the example of silicon oxide is explained as an insulator layer 501 used as a substrate, it may not be limited to this and the insulator layer of what kind of the quality of the material is sufficient.

[0110] Furthermore, although CVD silicon oxide is used in the above-mentioned example as film made to generate internal stress, as long as it has the property which change produces in internal stress, the volume, or a configuration according to the heat treatment process at the time of solid phase growth, what kind of a semiconductor material, an insulating ingredient, a metallic material, or a semimetal ingredient is sufficient.

F. By contacting an amorphous silicon field and a polycrystalline silicon field in a minute part, approach drawing 42 which is made to carry out solid phase growth and is made to single-crystal-ize by using crystal grain of the polycrystalline silicon field of the contact section as a nucleus is the top view showing one example of the manufacture approach F of the semi-conductor thin film of this invention in order of a process. With reference to (A) of drawing 42, it is in the condition which formed the mask by the resist etc. to the polycrystalline silicon field 601, for example, is  $5 \times 10^{15} / \text{cm}^2$  at the impregnation energy of 100keV(s). The ion implantation of the silicon is carried out with an injection rate. Thereby, the amorphous silicon field 603 is formed in the field by which the ion implantation was carried out. At this time, the field 602 where the ion implantation of the silicon was not carried out is still polycrystalline silicon. It is made for the point of the field 602 of polycrystalline silicon to become the physical relationship which contacted to the channel field 604 of TFT. In addition, the thickness of polycrystalline silicon is 1000Å.

[0111] Next, solid phase growth of an amorphous silicon is performed by performing heat treatment at the temperature of 600 degrees C. Thereby, as shown in (B) of drawing 42, the crystal grain 606 with which magnitude was mostly equal to the part with the linear boundary of the amorphous silicon field 603 and the polycrystalline silicon field 602 grows uniformly from the boundary section. On the other hand, in a part for the point of the polycrystalline silicon field 602, since the nucleus which is going to carry out crystal growth becomes single, the big crystal grain 605 grows compared with other parts.

[0112] If heat treatment is furthermore continued, also in the amorphous silicon field 603, a nucleus will occur at random and crystal grain 607 will begin to grow. However, the crystal grain 605 generated from the single nucleus in the point of the polycrystalline silicon field 602 becomes still larger, and it grows up so that most channel fields 604 may be occupied. At this time, by controlling to include the whole channel field 604 in the crystal grain 605 which became this diameter of a large drop, while reducing the OFF current of TFT formed, it becomes possible to raise ON current.

[0113] In addition, although the configuration of the height of the polycrystalline silicon field 602 is made into the shape of a triangle in the above-mentioned example, even if it forms the polycrystalline silicon field where width of face is extremely narrow as are shown in (A) of drawing 43  $R > 3$ , and shown in what added the shape of a triangle only at the tip of a rectangular height, and (B) of drawing 43, it is possible to carry out crystal growth of the single nucleus in the boundary section.

G. Approach example G1 drawing 44 which a crystalline nucleus is made to remain partially, is made to carry out solid phase growth, and is single-crystal-ized is the sectional view showing the 1st example of the manufacture approach G of the semi-conductor thin film of this invention in order of a process. With reference to (A) of drawing 44, silicon oxide 702 is formed on a silicon substrate 701. On silicon oxide 702, the amorphous silicon layer containing the part from which thickness differs is formed. For example, with amorphous silicon with a thickness of 1000A layer 703 and a thickness of 2000A amorphous silicon layer 703a is formed on silicon oxide 702.

[0114] Then, as shown in (B) of drawing 44, in order to generate a crystalline nucleus in an amorphous silicon layer, heat treatment of the short time which is extent which the whole amorphous silicon layer does not crystallize is performed. For example, heat treatment of about 2 hours is performed to an amorphous silicon layer at the temperature of 620 degrees C. A crystalline nucleus 705 occurs by this heat treatment. At this time, heat treatment temperature and heat treatment time amount are adjusted so that only one crystalline nucleus may occur in amorphous silicon layer 703a of thick thickness.

[0115] Next, it is etched so that only partial 703a of the amorphous silicon layer of thickness thick as a mask may remain the resist film 741, as shown in (C) of drawing 44. After the resist film 741 is removed, a crystalline nucleus grows by performing heat treatment for several hours at the temperature which is about 600 degrees C. Thereby, as shown in (D) of drawing 44, the single crystal half conductor layer 706 which consists of big crystal grain is formed. In order that crystalline nuclei other than the crystalline nucleus generated in the 1st heat treatment may avoid being formed by this 2nd heat treatment, it is desirable to set the 2nd heat treatment temperature below to the 1st heat treatment temperature.

Example G2 drawing 45 is the sectional view showing the 2nd example of the manufacture approach G of the semi-conductor thin film of this invention in order of a process. As shown in (A) of drawing 45, silicon oxide 702 is formed on a silicon substrate 701. An amorphous silicon layer is formed on silicon oxide 702. The polycrystalline silicon layer 707 is formed by performing 1st heat treatment to this amorphous silicon layer. The grain boundary 710 exists in the polycrystalline silicon layer 707.

[0116] As shown in (B) of drawing 45, the resist film 704 is alternatively formed on the polycrystalline silicon layer 707. As shown in (C) of drawing 45, as semi-conductor ion, such as silicon ion, is shown in an arrow head 720, it is poured into fields other than directly under [ of the resist film 704 ], using this resist film 704 as a mask. Thereby, a crystalline nucleus 705 remains to the field [ directly under ] of the resist film 704. Fields other than directly under [ of the resist film 704 ] turn into the amorphous silicon field 703. An ion implantation may be perpendicularly performed to a wafer and may be performed at the include angle which inclined to the wafer by the rotation slanting pouring-in method.

[0117] After removing the resist film 704, the crystalline nucleus 705 made to remain grows by



performing 2nd heat treatment. Thereby, as shown in (D) of drawing 45, the semi-conductor layer 706 which consists of a crystal which has a big particle size is formed. The semi-conductor layer 706 has the grain boundary 710. The 2nd heat treatment temperature is set up in consideration of relation with heat treatment time amount, although it is thought in the semantics which presses down karyogenesis that the lowest possible temperature is effective.

[0118] As for the magnitude of the resist film 704, what has minute lower limit extent is desirable. It depends on the thickness of an amorphous silicon layer for the size of the crystal grain formed. Therefore, although there is no \*\*\*\*\* generally, since the channel field of a transistor is constituted from a single-crystal-silicon layer, it is not necessary to not necessarily make in agreement the location of the resist film 704, and the channel field of a transistor. Drawing 46 is the top view showing the physical relationship of the resist film 704 and the channel field 740. For example, if it takes into consideration that 0.2 micrometers, then the particle size of crystal grain formed become about - 2micrometer about the thickness of an amorphous silicon layer, as shown in drawing 46 to one crystal grain 750, even if it arranges the channel field 740 and the location of the resist film 704, the channel field 740 may consist of single crystals.

Example G3 drawing 47 is the sectional view showing the 3rd example of the manufacture approach G of the semi-conductor thin film of this invention in order of a process. As shown in (A) of drawing 47, silicon oxide 702 is formed on the silicon substrate 701. The polycrystalline silicon layer 707 is formed on this silicon oxide 702. Next, as shown in (B) of drawing 47, an antireflection film 708 is alternatively formed on the polycrystalline silicon layer 707. This antireflection film 708 is formed by silicon oxide, a silicon nitride, etc. Moreover, as for the thickness of an antireflection film 708, it is desirable to set up so that it may be used also as a mask of the ion implantation performed at a back process. As a laser beam is shown by the arrow head 730, using this antireflection film 708 as a mask, the polycrystalline silicon layer 707 irradiates. Thereby, the near is heated alternatively the bottom of an antireflection film 708. The diameter of crystal grain directly under and near the antireflection film 708 can be made to increase by adjusting the output of a laser beam. This situation is shown in (C) of drawing 47. That is, the crystal grain 705 which has a big particle size is formed directly under and near the antireflection film 708. The polycrystalline silicon layer 707 which consists of minute crystal grain is formed in the other field.

[0119] It is poured into the polycrystalline silicon layer 707 as are shown in (D) of drawing 47, and ion, such as silicon, is shown by the arrow head 720, using an antireflection film 708 as a mask. Thereby, fields other than directly under [ of an antireflection film 708 ] are made amorphous, and the amorphous silicon layer 703 is formed. A crystalline nucleus 705 remains directly under an antireflection film 708. Thus, the location of a crystalline nucleus 705 is controlled. Then, the semi-conductor layer of the single crystal which has a big particle size may be alternatively formed by performing heat treatment for solid phase growth. That is, the semi-conductor layer 706 which has the grain boundary 710 as shown in (D) of drawing 45 is formed.

[0120] What is necessary is just to set up the thickness in the above-mentioned example, so that the reflection factor of a field to which nucleation is carried out may become high when it is required to form the cap film in the field nucleation is carried out [ field ] although only the approach using an antireflection film is described. Drawing 48 is a sectional view shown corresponding to the process of (B) of drawing 47. On the polycrystalline silicon layer 707, silicon oxide 781 is formed alternatively. On the polycrystalline silicon layer 707, the silicon nitride 782 is formed so that silicon oxide 781 may be covered. Thus, if two kinds of film is formed on the polycrystalline silicon layer 707, it will be easy to form the mask at the time of the ion implantation of a back process. For example, if it uses the two-layer film which consists of silicon oxide 781 (thickness is 100nm) and a silicon nitride 782 (thickness is 110nm) in using an Ar ion laser (wavelength of 488nm), in the reflection factor of a two-layer part, the reflection factor of the part of only the silicon nitride 782 (thickness of 110nm) will become 35% about 10%. Thus, the diameter of crystal grain only directly under and near the silicon oxide 781 can be made to increase by irradiating laser, where two kinds of film is formed on the polycrystalline silicon layer 707. After laser radiation, if only the silicon nitride 782 is removed, silicon oxide 781 will remain as a

mask. Therefore, the ion implantation of a back process can be performed by self-alignment, using this silicon oxide 781 as a mask.

H. Approach drawing 49 which carries out solid phase growth and makes the amorphous silicon layer which consists of two parts from which thickness differs single-crystal-size is a graph which shows the relation between the thickness of an amorphous layer, and the diameter of crystal grain of the crystalline substance layer which was made to carry out solid phase growth and was obtained from the amorphous layer. Crystal growth is so quick that the thickness of an amorphous layer is large as shown in drawing 49, and it is understood that big crystal grain is formed. After thickening beforehand thickness of the amorphous silicon layer equivalent to the channel formation field of TFT from this, it becomes possible by heat-treating for solid phase growth to enlarge crystal grain of a channel formation field alternatively. Consequently, it becomes possible to constitute a channel field from a single crystal.

[0121] Drawing 50 - drawing 53 are the sectional views showing one example of the manufacture approach H of the semi-conductor thin film of this invention in order of a process. As shown in drawing 50, silicon oxide 802 is formed on a silicon substrate 801. The amorphous silicon layer 803 is formed on this silicon oxide 802. Next, as shown in drawing 51, the resist film 804 separates spacing alternatively and is formed on amorphous silicon layer 803b. The part from which thickness differs is formed in the amorphous silicon layer 803 by etching the amorphous silicon layer 803 by using this resist film 804 as a mask. Then, removal of the resist film 804 forms in an amorphous silicon layer partial 803a which has thick thickness as shown in drawing 52, and partial 803b which has thin thickness. By performing heat treatment to an amorphous silicon layer at the temperature of about 600 degrees C for several hours to dozens hours, as shown in drawing 53, the big crystal layer 806 of particle size grows up to be the thick part of thickness. The polycrystal layer 807 grows up to be the thin part of thickness. The polycrystal layer 807 has the grain boundary 810.

[0122] For example, if thick thickness is set to about 0.2 micrometers, as shown in drawing 49, the crystal grain of diameter extent of several micrometers will grow. When using the crystal layer for the semiconductor device of ULSI level, the size of a transistor is 2 several micrometers. Extent and the size of a channel field are -1micrometer<sup>2</sup>. Since it is extent, if magnitude of the thick part of thickness is made comparable as such sizes, it is possible to constitute the whole channel field from a single crystal.

[0123] Moreover, the description of this example is performing heat treatment of solid phase growth, after forming the amorphous layer of the configuration shown in drawing 52. Therefore, the amorphous layer of the configuration shown in drawing 52 by the option may be formed. For example, as shown in drawing 54, by using the resist film 804 as a mask, it dissociates in the shape of an island completely, and the amorphous silicon layer 803 is formed. Then, after removing the resist film 804, the amorphous silicon layer of the configuration shown in drawing 52 as it was shown in drawing 55, if the 2nd amorphous silicon layer 831 was formed so that the front-face top of the amorphous silicon layer 803 may be covered may be formed.

[0124] Next, the case where each manufacture approach A-H of the above semi-conductor thin film is applied to manufacture of the barrier layer of the p channel MOS transistor (TFT) in the memory cell of SRAM is explained. That is, the manufacture approach of SRAM at the time of applying each above-mentioned manufacture approach A-H to formation of the barrier layer 55 (55a and 55b) of TFT of SRAM of this invention shown in drawing 3 and drawing 4 is explained below.

the example 1 of the manufacture approach of SRAM -- this manufacture approach is one example of the manufacture approach of SRAM of having used the manufacture approach A of a semi-conductor thin film. Drawing 56 - drawing 64 are the top views (A) and sectional views (B) showing the example 1 of the manufacture approach of SRAM in order of a process. A sectional view (B) shows the cross section seen from the direction which met the B-B line of a top view (A).

[0125] drawing 56 -- referring to -- the single crystal silicon substrate 1 -- LOCOS -- the oxide film 21 for separation which consists of silicon oxide with a thickness of 4000A so that an active region 56 may be separated is formed by oxidizing thermally alternatively by law. The thermal oxidation processing temperature at this time is 950 degrees C.

[0126] As shown in drawing 57, the gate dielectric film 41 which consists of silicon oxide of 100A of

thickness is formed on a silicon substrate 1 by performing thermal oxidation processing at the temperature of 850 degrees C. Then, the gate electrode 71 is formed on gate dielectric film 41. The gate electrode 71 is 1020-/cm<sup>3</sup> about Lynn. It consists of a polycrystalline silicon layer of 1500A of thickness included by the concentration of extent, and a tungsten silicide (WSi<sub>2</sub>) layer of 2000A of thickness formed of the spatter on it. Lynn after carrying out patterning of the gate electrode 71 is 1x10<sup>13</sup>-/cm<sup>2</sup> at impregnation energy 50keV. It is alternatively poured into a silicon substrate 1 with an injection rate. Then, the sidewall 22 which becomes the side attachment wall of the gate electrode 71 from an oxide film with a CVD method is formed. The width of face of the field in which the sidewall 22 is in contact with gate dielectric film 41 is 2000A. Then, arsenic is 2x10<sup>15</sup>-/cm<sup>2</sup> at impregnation energy 50keV. An ion implantation is carried out with an injection rate. By performing heat treatment for 30 minutes in nitrogen-gas-atmosphere mind at the temperature of 850 degrees C, n mold source drain field 56b of LDD structure is formed. The field of the silicon substrate [ directly under ] 1 of the gate electrode 71 is set to channel field 56a.

[0127] As shown in drawing 58, the oxide film by the CVD method is formed by 10000A thickness, and flattening is carried out by etching only the thickness of about 7000A by the etchback method. Thereby, an interlayer insulation film 42 is formed. Opening of the through holes 51a, 51b, 52, 53, and 54 is carried out to this interlayer insulation film 42.

[0128] With reference to drawing 59, the polycrystalline silicon film with a thickness of 2000A is formed in through holes 51a, 51b, 52, and 53 and 54. Arsenic is impregnation energy 50keV and 2x10<sup>15</sup>/of injection rates cm<sup>2</sup>. An ion implantation is carried out to the polycrystalline silicon film. The tungsten silicide layer of 2000A of thickness is formed on the polycrystalline silicon film. The polycrystalline silicon film and tungsten silicide layer which were formed in through holes 51a, 51b, 52, 53, and 54 and the field of an except are removed. Thereby, the electric conduction film 81 is formed in through hole 51a. 51b and 52-54. Then, it is formed by the CVD method so that the oxide film 46 of 1000A of thickness may embed the inside of each through hole.

[0129] Then, the oxide film 46 formed on the field of through holes 52 and 51b is removed. The polycrystalline silicon layer of 2000A of thickness is formed on the whole surface. As shown in drawing 60, silicon ion is impregnation energy 100keV and 2x10<sup>15</sup>/of injection rates cm<sup>2</sup> to the whole surface of this polycrystalline silicon layer. The amorphous silicon layer 58 is formed by being poured in. On the amorphous silicon layer 58, the resist film 99 by which patterning was carried out so that only the front face of the part equivalent to a channel field might be exposed is formed. This resist film 99 is used as a mask, and silicon ion is 5x10<sup>15</sup>-/cm<sup>2</sup> at the impregnation energy of 100keV(s). It is poured into the amorphous silicon layer 58 with an injection rate. Thereby, amorphous silicon layer 58a by which the crystalline-nucleus generating consistency of silicon was made small is formed in the part equivalent to the channel field of a p channel MOS transistor (TFT). The resist film 99 is removed. By performing heat treatment of 5 hours in nitrogen-gas-atmosphere mind with a temperature of 600 degrees C, the field of amorphous silicon layer 58a single-crystal-izes.

[0130] In addition, as for the top view (A) from drawing 60 to drawing 64, only the upper part is shown from the location of a through hole.

[0131] As shown in drawing 61, single-crystal-silicon layer 59a (55a) and polycrystalline silicon layer 59b (55b) which constitute a barrier layer-are formed by removing the crystallized silicon layer according to a predetermined pattern.

[0132] With reference to drawing 62, the gate dielectric film 43 which consists of silicon oxide with a thickness of 200A with a CVD method at the temperature of 850 degrees C is formed so that single-crystal-silicon layer 59a and polycrystalline silicon layer 59b may be covered. The silicon oxide 46 on the field of through holes 52 and 51a is removed. By the CVD method, a polycrystalline silicon layer with a thickness of 2000A is formed on the whole surface. Arsenic is impregnation energy 50keV and 4x10<sup>15</sup>/of injection rates cm<sup>2</sup>. An ion implantation is carried out to a polycrystalline silicon layer. The gate electrode 60 is formed by carrying out patterning of this polycrystalline silicon layer. The gate electrode 60 is used as a mask and boron (B) is impregnation energy 50keV and injection rate 2x10<sup>14</sup>-/cm<sup>2</sup>. An ion implantation is carried out to polycrystalline silicon layer 59b. p mold source drain field

55b of a p channel MOS transistor (TFT) is formed by performing heat treatment for 30 minutes in nitrogen-gas-atmosphere mind with a temperature of 850 degrees C.

[0133] As shown in drawing 63 , an oxide film 44 is formed at the temperature of 700 degrees C by the CVD method on the whole surface. Flattening processing is performed so that the thickness of an oxide film 44 may become about 3000A. Opening of the through holes 53 and 54 is carried out to an interlayer insulation film (oxide film) 44. The aluminum wiring layer 91 is formed on an interlayer insulation film 44 by 7000A of thickness by the sputter so that it may be filled up with through holes 53 and 54. A bit line is formed by carrying out patterning of this aluminum wiring layer 91.

[0134] As finally shown in drawing 64 , an oxide film 45 is formed on a bit line 91 at the temperature of 300 degrees C by the plasma-CVD method. Then, although not shown in drawing 64 , opening of the through hole is carried out so that the front face of the gate electrode 71 may be exposed in a predetermined field. The aluminum wiring layer 92 is formed by 8000A of thickness so that the gate electrode (word line) 71 may be contacted through the through hole. The memory cell of SRAM to which TFT of this invention was applied as mentioned above is completed.

[0135] In addition, in the process of drawing 60 of the above-mentioned example, patterning may be carried out so that the resist film 99 may expose the front face of the amorphous silicon layer 58 of a bigger part than the channel field CH, as shown in drawing 65 .

the example 2 of the manufacture approach of SRAM -- this example shows one example of the manufacture approach of SRAM of having used the manufacture approach B of a semi-conductor thin film. Drawing 66 - drawing 70 are the top views (A) and sectional views (B) showing the manufacture approach of SRAM in order of each process. In addition, since the production process of an example 2 is the same about the production process to drawing 56 of an example 1 - drawing 59 , a process is explained below after that.

[0136] With reference to drawing 66 , it is formed on an interlayer insulation film 42 of a CVD method at the temperature of 450 degrees C by the thickness whose amorphous silicon layer 58 is 2000A, using disilane (Si two H6) gas as material gas. Patterning of the resist film 99 is carried out to the field where a perimeter is bigger about 0.1-0.2 micrometers than the channel field of the p channel MOS transistor (TFT) which should be formed. At this time, the side-attachment-wall side of the resist film 99 is made into a taper configuration (inclination configuration) by lengthening the exposure time and developing time.

[0137] As shown in drawing 67 , the amorphous silicon layer 58 is etched using the resist film 99 as a mask. Then, the resist film 99 is removed. Since the side-attachment-wall side of the resist film 99 is an inclination configuration at this time, the amorphous silicon layer 58 is also etched for that side-attachment-wall side so that it may become an inclination configuration. Usually, according to the dry etching method, since the etch rate of a resist is about 2 times of the etch rate of an amorphous silicon, the amorphous silicon layer which has an inclination side face, using the above-mentioned resist film 99 as a mask is obtained. Then, an inclination configuration contrary to the side-attachment-wall configuration of the amorphous silicon layer 58 which may pour silicon ion into the periphery of the amorphous silicon layer 58, and is shown in (B) of drawing 67 may be formed. As an approach of forming an inclination configuration contrary to the inclination configuration of the amorphous silicon layer 58 shown in drawing 67 , etching in process and by making the pressure of etching gas high continuously, many [ more ] etching gas in a longitudinal direction may be supplied, and a reverse inclination configuration may be formed.

[0138] Then, the amorphous silicon layer 58 is heat-treated in nitrogen-gas-atmosphere mind with a temperature of 600 degrees C for 5 hours. This single-crystal-izes the central field of the amorphous silicon layer 58 except for a boundary region. In addition, when the above-mentioned heat treatment is performed to the amorphous silicon layer which has an inclination configuration contrary to the inclination configuration of drawing 67 , or the amorphous silicon layer 58 which poured silicon ion into the boundary region, the whole amorphous silicon layer 58 single-crystal-izes.

[0139] As shown in drawing 68 , polycrystalline silicon layer 59b is formed by 1000A of thickness on an interlayer insulation film 42 so that single-crystal-silicon layer 59a may be covered. The resist film

99 is formed on polycrystalline silicon layer 59b, and patterning is carried out so that only the part equivalent to the channel field of a p channel MOS transistor (TFT) may carry out opening.

[0140] As shown in drawing 69, etching removal of the polycrystalline silicon layer 59b on single-crystal-silicon layer 59a is carried out using the resist film 99 as a mask. Then, the resist film 99 is removed.

[0141] As shown in drawing 70, according to a predetermined pattern, single-crystal-silicon layer 59a (55a) and polycrystalline silicon layer 59b (55b) are formed. Thus, the barrier layer of a p channel MOS transistor (TFT) is formed.

[0142] A subsequent production process is performed according to drawing 62 [ of an example 1 ] - Fig. 6464.

Example 3 this example of the manufacture approach of SRAM shows the manufacture approach of the memory cell of SRAM of having used the manufacture approach C of a semi-conductor thin film. Since the production process of the memory cell of this SRAM is the same about the production process to drawing 56 of an example 1 - drawing 59, it omits that explanation. Drawing 71 R> 1 is the top view (A) and sectional view (B) showing the process following the production process of drawing 59 of an example 1.

[0143] With reference to drawing 71, the amorphous silicon layer 58 is formed on an interlayer insulation film 42 by the CVD method at the temperature of 450 degrees C at 1000A of thickness by making disilane ( $\text{Si}_2\text{H}_6$ ) gas into material gas. The resist film 99 is formed only on the amorphous silicon layer 58 of the part equivalent to the channel field of a p channel MOS transistor (TFT). This resist film 99 is used as a mask, and a hydrogen ion or fluorine ion is impregnation energy 5keV and  $1 \times 10^{15}$ /of injection rates  $\text{cm}^{-2}$  to the amorphous silicon layer 58. It is poured in. Then, the resist film 99 is removed. Heat treatment of 5 hours is performed to the amorphous silicon layer 58 in nitrogen-gas-atmosphere mind with a temperature of 600 degrees C. Since the karyogenesis consistency of the amorphous silicon layer 58 of the part equivalent to a channel field is small, the part equivalent to this channel field single-crystal-izes. In a silicon ion implantation, it is effective in destroying the micronucleus which exists in an amorphous silicon and decreasing the karyogenesis consistency of an amorphous silicon. On the other hand, when a hydrogen ion or fluorine ion is poured into an amorphous silicon, it is effective in poured-in the hydrogen or the fluorine generating a micronucleus in an amorphous silicon. That is, in the field and channel field in which a hydrogen ion or fluorine ion is not poured in, a micronucleus is not generated but a karyogenesis consistency is still small. Therefore, only this channel field single-crystal-izes by the above-mentioned heat treatment.

[0144] A subsequent production process is performed according to the example 1 shown in drawing 61 - drawing 64. Example 4 this example of the manufacture approach of SRAM shows the manufacture approach of SRAM which applied the manufacture approach D of a semi-conductor thin film. Drawing 72 is the top view (A) and sectional view (B) showing the production process following the production process shown in drawing 56 of an example 1 - drawing 59 R> 9.

[0145] With reference to drawing 72, the amorphous silicon layer 58 is formed by 2000A of thickness on an interlayer insulation film 42. It is silicon ion to that polycrystalline silicon layer after forming this amorphous silicon layer 58 with a CVD method at the temperature of 450 degrees C using disilane ( $\text{Si}_2\text{H}_6$ ) gas or forming the polycrystalline silicon layer of 2000A of thickness Impregnation energy 100keV and  $5 \times 10^{15}$ /of injection rates  $\text{cm}^{-2}$  You may form by pouring in. Then, an electron ray is irradiated in the center (A point in drawing 72) of the part equivalent to the channel field of TFT which should be formed. For the diameter of an electron ray, 0.05 micrometers and acceleration voltage are [ 50microA (output 0.5W) and the irradiation time of 10keV(s) and a current ] 1ns / one point. By the exposure of this electron ray, it fuses and solidifies and the amorphous silicon layer of an A point becomes minute crystal grain. The amorphous silicon layer 58 carries out crystal growth of the minute crystal grain of an A point as a nucleus of crystal growth by performing heat treatment in nitrogen-gas-atmosphere mind with a temperature of 600 degrees C for 5 hours. Thereby, the part equivalent to a channel field single-crystal-izes.

[0146] A subsequent production process is performed according to drawing 61 [ of an example 1 ] - Fig.

6464 .

Example 5 this example of the manufacture approach of SRAM shows the manufacture approach of the memory cell of SRAM of having used the manufacture approach E of a semi-conductor thin film.

Drawing 73 is the top view (A) and sectional view (B) showing the production process following drawing 5656 of an example 1 - drawing 59 .

[0147] With reference to drawing 73 , the amorphous silicon layer 58 is formed by 1000A of thickness on an interlayer insulation film 42. Silicon ion is  $5 \times 10^{15}$ /of injection rates  $\text{cm}^{-2}$  at impregnation energy 100keV to that polycrystalline silicon layer after forming this amorphous silicon layer 58 by the CVD method at the temperature of 450 degrees C using the gas of a disilane or forming a polycrystalline silicon layer. It may be formed by carrying out an ion implantation. An oxide film 47 is alternatively formed on the part equivalent to the channel field of the amorphous silicon layer 58. This oxide film 47 is formed at the temperature of 500 degrees C by the ECR-CVD method (electron cyclotron resonance-CVD method) at 1000A of thickness. As material gas of the oxide film 47, it is  $\text{SiH}_4$ . The mixed gas of  $\text{N}_2\text{O}$  is used. In this case, an oxide film 47 must be formed at the temperature of 600 degrees C or less as film to which the internal stress of the amorphous silicon layer 58 is changed. It is because the amorphous silicon layer 58 crystallizes that it is 600 degrees C or more in temperature during formation of an oxide film 47. Heat treatment of 5 hours is performed in nitrogen-gas-atmosphere mind with a temperature of 600 degrees C, forming this oxide film 47 on the amorphous silicon layer 58. Thereby, it single-crystal-izes, the part, i.e., the channel field, of the amorphous silicon layer 58 covered with the oxide film 47. Then, an oxide film 47 is removed.

[0148] Thus, it is 109 dyne/ $\text{cm}^2$  which only a channel field single-crystal-izes to an amorphous silicon. When the above compressive stress is made to exist, it is for the rate of crystal growth to increase more than twice. Only in a channel field, since it is large, a channel field single-crystal-izes [ a growth rate ]. That is, it is  $\text{SiO}_2$  by forming an oxide film only on a channel field. According to the difference of the coefficient of thermal expansion of Si, stress occurs in an amorphous silicon. In this example, since the oxide film 47 is formed at the temperature of 100 degrees C, it does not generate stress between the amorphous silicon layer 58 and an oxide film 47 in the temperature of 100 degrees C. It is  $\text{SiO}_2$  when it heats in temperature of 600 degrees C in this condition. It compares with Si, and since it is small, coefficient of thermal expansion is  $\text{SiO}_2$ . It acts so that expansion of Si atom may be suppressed, namely, compressive stress occurs in the amorphous silicon layer 58.

[0149] A subsequent production process is performed according to drawing 61 [ of an example 1 ] - Fig. 6464 .

Example 6 this example of the manufacture approach of SRAM shows the manufacture approach of the memory cell of SRAM that the manufacture approach F of a semi-conductor thin film was applied.

Drawing 74 is the top view (A) and sectional view (B) showing the process following the production process of drawing 56 of an example 1 - drawing 59 .

[0150] With reference to drawing 74 , polycrystalline silicon layer 59c is formed by thickness 1000OA on an interlayer insulation film 42. The resist film 99 is alternatively formed on polycrystalline silicon layer 59c so that the front face of polycrystalline silicon layer 59c of a field including the channel field CH may be exposed. At this time, as shown in (A) of drawing 74 , patterning of the resist film 99 is carried out so that the height of the resist film 99 may contact the channel field CH by one point. This resist film 99 is used as a mask, and silicon ion is impregnation energy 100keV and  $5 \times 10^{15}$ /of injection rates  $\text{cm}^{-2}$ . It is poured into polycrystalline silicon layer 59c. Polycrystalline silicon layer 59c of the field which is not covered with the resist film 99 becomes an amorphous silicon by this, and polycrystalline silicon layer 59c of the field covered with the resist film 99 remains with polycrystalline silicon. Then, the resist film 99 is removed. Heat treatment of 5 hours is performed to polycrystalline silicon layer 59c amorphous-silicon-ized partially in nitrogen-gas-atmosphere mind with a temperature of 600 degrees C. Crystal growth of the amorphous silicon is carried out from the place adjacent to a polycrystalline silicon field. Since the channel field CH is in contact with the polycrystalline silicon field only by one point, an amorphous silicon grows considering the crystal grain at the tip of the polycrystalline silicon field which has touched as a nucleus of crystal growth. Therefore, the part of the



amorphous silicon of the channel field CH is single-crystal-ized.

[0151] A subsequent production process is performed according to drawing 61 [ of an example 1 ] - Fig. 6464 .

Example 7 this example of the manufacture approach of SRAM shows the manufacture approach of the memory cell of SRAM that the manufacture approach G of a semi-conductor thin film was applied.

Drawing 75 - drawing 76 are the top views (A) and sectional views (B) showing the process following the production process of drawing 56 of an example 1 - drawing 59 in order. With reference to drawing 75 , the amorphous silicon layer containing the part from which thickness differs is formed on an interlayer insulation film 42. This amorphous silicon layer consists of an amorphous silicon layer 57 with a thickness of 1000A and amorphous silicon with a thickness of 2000A layer 57a. Then, heat treatment for 30 minutes is performed to this amorphous silicon layer in nitrogen-gas-atmosphere mind with a temperature of 600 degrees C. Only this heat treatment temperature and one heat treatment time amount are adjusted to the field of thick amorphous silicon layer 57a of thickness so that a nucleus may occur. A nucleus does not occur to the field of the thin amorphous silicon layer 57 of thickness, because a time lag exists in crystalline-nucleus generating in the thin amorphous silicon layer of thickness. That is, the growth rate of the part of the thin amorphous silicon layer 57 of thickness is because it is late compared with the growth rate of thick amorphous silicon layer 57a of thickness. Thus, one crystalline nucleus N occurs in thick amorphous silicon layer 57a of thickness.

[0152] As shown in drawing 76 , by etching an amorphous silicon layer by the thickness of 1000A, the part 57 of the thin amorphous silicon layer of thickness is lost, and only with a thickness of 1000A amorphous silicon layer 57a remains in the thick field of thickness. Heat treatment of 5 hours is performed to this amorphous silicon layer 57a in nitrogen-gas-atmosphere mind with a temperature of 600 degrees C. By this heat treatment, amorphous silicon layer 57a which remained in the channel field single-crystal-izes. This is because one crystalline nucleus exists in amorphous silicon layer 57a.

[0153] A subsequent production process is performed according to the production process of drawing 68 [ of an example 2 ] - Fig. 7070 . The production process after drawing 70 is performed according to the production process of drawing 62 of an example 1 - drawing 64 .

[0154] Drawing 77 is the top view (A) and sectional view (B) showing another production process following drawing 59 of an example 1 in this example. With reference to drawing 77 , 59d of polycrystalline silicon layers is formed on an interlayer insulation film 42 by 2000A of thickness. 59d of this polycrystalline silicon layer is the film formed from silicon of 0.8 micrometers of diameters of crystal grain (=d). The resist film 99 is alternatively formed on the part equivalent to the channel field of 59d of this polycrystalline silicon layer. The plane area of this resist film 99 is 0.4micrometerx0.4micrometer (=a). The thickness of the resist film 99 is 1 micrometer. Under the present circumstances, an oxide film may be formed instead of the resist film. The resist film 99 is used as a mask and silicon ion is impregnation energy 100keV and 5x10<sup>15</sup>/of injection rates cm<sup>2</sup>. It is poured into 59d of polycrystalline silicon layers. The ion implantation at this time is performed by the continuation rotation pouring-in method at the include angle of theta= 30 degrees, as shown in (B) of drawing 77 . That is, silicon ion is poured in at the include angle of 30 degrees, rotating a wafer. Since silicon ion is not poured into the field which has the cross section of the triangle just under the resist film 99 by this, a crystal remains. The other field becomes an amorphous silicon by impregnation of silicon ion. Then, the resist film 99 is removed. By performing heat treatment of 5 hours in nitrogen-gas-atmosphere mind with a temperature of 600 degrees C, the field which has the cross section of the above-mentioned triangle carries out crystal growth as a nucleus of crystallization. Thereby, the channel field CH single-crystal-izes. It is necessary to set up the magnitude (a) of the diameter of crystal grain of 59d of polycrystalline silicon layers (d), and the resist film 99 so that the conditions of a<d (if it can do a<=d/2) may be satisfied here. The field of the triangle cross section just under the resist film 99 becomes only one crystal grain under this condition.

[0155] A subsequent production process is performed according to the process of drawing 61 [ of an example 1 ] - Fig. 6464 .

Example 8 this example of the manufacture approach of SRAM shows the manufacture approach of the

memory cell of SRAM that the manufacture approach H of a semi-conductor thin film was applied. Drawing 78 - drawing 82 are the top views (A) and sectional views (B) showing the process following the production process of drawing 56 of an example 1 - drawing 59 in order.

[0156] With reference to drawing 78, the amorphous silicon layer 57 is formed by 2000Å of thickness on the interlayer insulation film 42 by which flattening was carried out. The resist film 99 is alternatively formed on the amorphous silicon layer 57 in the part equivalent to the channel field of a p channel MOS transistor (TFT).

[0157] As shown in drawing 79, etching removal only of the thickness whose amorphous silicon layer 57 is 1000Å is carried out using the resist film 99 as a mask. Then, the resist film 99 is removed. Thereby, only in the part equivalent to a channel field, thick amorphous silicon layer 57a of thickness is formed.

[0158] As shown in drawing 80, heat treatment of 5 hours is performed to the amorphous silicon layer 57 in nitrogen-gas-atmosphere with a temperature of 600 degrees C. This crystallizes the amorphous silicon layers 57 and 57a. However, since the rate of crystal growth is large, the part of thick amorphous silicon layer 57a of thickness is single-crystal-ized. That is, it crystallizes and partial 57a of an amorphous silicon layer turns into single-crystal-silicon layer 59a. On the other hand, it crystallizes and the part of the amorphous silicon layer 57 is set to polycrystalline silicon layer 59b. The grain boundary is typically shown in polycrystalline silicon layer 59b.

[0159] As shown in drawing 81, single-crystal-silicon layer 59a and polycrystalline silicon layer 59b which were crystallized are alternatively removed according to a predetermined pattern.

[0160] As shown in drawing 82, it is formed so that the gate dielectric film 43 which consists of an oxide film may cover single-crystal-silicon layer 59a and polycrystalline silicon layer 59b. Then, only the oxide film 43 formed on the field the part of the field of through hole 51a and in the upper half of a through hole 52 is removed. The gate electrode 60 is formed on gate dielectric film 43 according to a predetermined pattern. Then, source drain field 55b of a p channel MOS transistor is formed by carrying out the ion implantation of the boron, using the gate electrode 60 as a mask.

[0161] A subsequent production process is performed according to the process shown in drawing 63 [ of an example 1 ] - Fig. 6464 .

[0162] In the manufacture approach of the memory cell of the above SRAM, the single crystal layer which constitutes the channel field of TFT is manufactured from an amorphous silicon layer. Hereafter, the number of the karyogenesis consistency in an amorphous silicon layer (piece/cm<sup>2</sup>) and the crystalline nucleus in a channel field (0.4micrometerx0.8micrometer) is explained according to the manufacture approach of an amorphous silicon layer.

[0163] (i) When an amorphous silicon layer is formed with a CVD method at the temperature of 550 degrees C, using silane (SiH<sub>4</sub>) gas as material gas.

[0164] Karyogenesis consistency: Number:32 piece of the crystalline germ in -1x10<sup>10</sup> piece/cm<sup>2</sup> and a channel field (ii) When an amorphous silicon layer is formed with a CVD method at the temperature of 450 degrees C, using disilane (Si two H<sub>6</sub>) gas as material gas.

[0165] Karyogenesis consistency: -6x10<sup>7</sup> The number of the crystalline nucleus in an individual / cm<sup>2</sup>, and a channel field: 0.2 pieces (iii) It is 5x10<sup>15</sup> /cm<sup>2</sup> about silicon ion to a polycrystalline silicon layer. When an amorphous silicon layer is formed by pouring in with an injection rate.

[0166] Karyogenesis consistency: -5x10<sup>7</sup> The number of the crystalline nucleus in an individual / cm<sup>2</sup>, and a channel field: 0.16 pieces (iv) It is 2x10<sup>15</sup> /cm<sup>2</sup> about silicon ion to a polycrystalline silicon layer. When an amorphous silicon layer is formed by pouring in with an injection rate.

[0167] karyogenesis consistency: -3x10<sup>8</sup> if the karyogenesis consistency according to the manufacture approach of the amorphous silicon layer beyond number:1 piece of the crystalline nucleus in an individual / cm<sup>2</sup>, and a channel field is taken into consideration, in order to constitute the whole channel field (0.4micrometerx0.8micrometer) of TFT from a single crystal layer in the memory cell of SRAM by which this invention was made detailed -- as the manufacture approach of an amorphous silicon layer -- (ii) -- or (iii) it is necessary to adopt That is, if the generating consistency of the crystalline nucleus in an amorphous silicon layer is made or less into one and it single-crystal-izes according to each above-

mentioned manufacture approach A-H, it will become possible to form the minute channel field of TFT by the single crystal layer in the memory cell of SRAM made detailed. Moreover, the single crystal layer in which defect density was controlled by the low value by manufacturing a single crystal layer from the amorphous silicon layer in which the generating consistency of a crystalline nucleus was reduced such is obtained. Thereby, TFT which satisfies desired value (15 or less fA of OFF currents [ 0.25micro beyond of ON currents A ]) can be obtained.

[0168]

[Effect of the Invention] As mentioned above, when applied to the memory cell by which SRAM was made detailed according to the electric field effect mold thin film transistor concerning claim 1, it is effective in enabling it to carry out read-out write-in actuation to stability, and reducing the power consumption of SRAM.

[0169] Moreover, according to the electric field effect mold thin film transistor concerning claim 2, the thin film transistor equipped with high ON current and the low OFF current compared with the former is obtained.

[0170] According to the manufacture approach of the electric field effect mold thin film transistor of claims 3-10, it is formed so that a channel field may consist of single crystals, and it may be controlled and may have desired low defect density. Therefore, the thin film transistor obtained shows higher ON current and a lower OFF current.

---

[Translation done.]

PAT-NO: JP406140631A  
DOCUMENT-IDENTIFIER: JP 06140631 A  
TITLE: FIELD-EFFECT THIN FILM TRANSISTOR AND MANUFACTURE  
THEREOF  
PUBN-DATE: May 20, 1994

INVENTOR-INFORMATION:

NAME

NISHIMURA, TSUNEYUKI  
SUGAHARA, KAZUYUKI  
MAEDA, SHIGENOBU  
IPPOSHI, TAKASHI  
INOUE, YASUAKI  
IWAMATSU, TOSHIAKI  
IKEDA, MIKIO  
KUNIKIYO, TATSUYA  
TATEISHI, JUNJI  
MINATO, TADAKURO

ASSIGNEE-INFORMATION:

NAME

RYODEN SEMICONDUCTOR SYST ENG KK  
MITSUBISHI ELECTRIC CORP

COUNTRY

N/A  
N/A

APPL-NO: JP04290293

APPL-DATE: October 28, 1992

INT-CL (IPC): H01L029/784, H01L021/20 , H01L027/11 , H01L021/336

US-CL-CURRENT: 257/347

ABSTRACT:

PURPOSE: To obtain a field-effect thin film transistor (TFT) which stabilizes read and write operations of a memory cell and reduces power consumption in a micro-miniaturized TFT load type perfect CMOS.SRAM.

CONSTITUTION: A field-effect thin film transistor formed on an insulating material is provided with an active layer 55 and a gate electrode 60. The gate electrode 60 is formed on a channel region 55a of the active layer 55

through a gate insulating film. The active layer 55 is composed of the channel region 55a and a source drain region 55b. The channel region 55a does not include crystal grain boundary formed of a single crystal silicon layer and the source drain region 55b is formed of polycrystalline silicon layer. Moreover, the channel region 55a has a crystal defect density under  $10^{9}$  pcs/cm<sup>2</sup>. The thin film transistor shows an ON current of 0.25  $\mu$ A/ $\mu$ m or more and an OFF current of 15fA/ $\mu$ m or less per the channel width of 1 $\mu$ m.

COPYRIGHT: (C)1994, JPO&Japio

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-140631

(43)公開日 平成6年(1994)5月20日

(51)IntCl <sup>5</sup>	識別記号	庁内整理番号	FI	技術表示箇所
H01L 29/784				
21/20		9171-4M		
27/11				
		9056-4M	H01L 29/78	311 H
		7210-4M	27/10	381

審査請求 未請求 請求項の数10(全 48 頁) 最終頁に続く

(21)出願番号 特願平4-290293

(22)出願日 平成4年(1992)10月28日

(71)出願人 591036505

菱電セミコンダクタシステムエンジニアリ  
ング株式会社

兵庫県伊丹市瑞原4丁目1番地

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 西村 恒幸

兵庫県伊丹市瑞原四丁目1番地 菱電セミ  
コンダクタシステムエンジニアリング株式  
会社内

(74)代理人 弁理士 高田 守

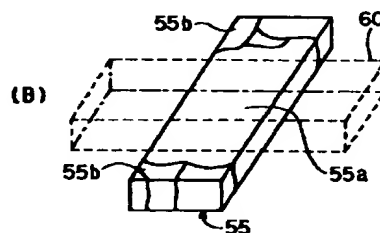
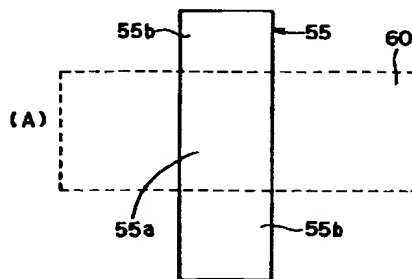
最終頁に続く

(54)【発明の名称】 電界効果型薄膜トランジスタおよびその製造方法

(57)【要約】

【目的】 微細化されたTFT負荷型完全CMOS・SRAMにおいてメモリセルの読出および書込動作を安定化させ、かつ消費電力を低減させることが可能な電界効果型薄膜トランジスタ(TFT)を得る。

【構成】 絶縁体の上に形成された電界効果型薄膜トランジスタは、活性層55とゲート電極60とを備える。ゲート電極60は活性層55のチャネル領域55aの上にゲート絶縁膜を介在して形成される。活性層55はチャネル領域55aとソース・ドレイン領域55bから構成される。チャネル領域55aは単結晶シリコン層から形成され結晶粒界を含まず、ソース・ドレイン領域55bは多結晶シリコン層から形成される。また、チャネル領域55aは $10^9$ 個/cm<sup>2</sup>未満の結晶欠陥密度を有する。薄膜トランジスタはチャネル幅1 $\mu$ m当り、0.25 $\mu$ A/ $\mu$ m以上のON電流と15fA/ $\mu$ m以下のOFF電流を示す。



55: 活性層 55a: チャネル領域  
55b: ソース・ドレイン領域 60: ゲート電極



1

## 【特許請求の範囲】

【請求項1】 絶縁体の上に形成された電界効果型薄膜トランジスタであって、

所定のチャンネル幅を有するチャンネル領域を形成する部分を含む半導体薄膜と、

前記チャンネル領域によって前記チャンネル幅と交差する方向に分離された前記半導体薄膜の部分内に形成されたソースおよびドレイン領域と、

前記チャンネル領域の上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜の上に形成されたゲート電極とを備え、

前記チャンネル幅1 $\mu$ mあたりの前記ソースおよびドレイン領域の間に流れる電流値が、前記ソースおよびドレイン領域の間に-3Vの電圧、前記ゲート電極と前記ソース領域の間に-3Vの電圧を印加した場合、-0.25 $\mu$ A以上であり、かつ前記ソースおよびドレイン領域の間に-3Vの電圧、前記ゲート電極と前記ソース領域の間に0Vの電圧を印加した場合、-15fA以下であるように制御された結晶組織から前記半導体薄膜のチャンネル領域は構成されている、電界効果型薄膜トランジスタ。

【請求項2】 絶縁体の上に形成された電界効果型薄膜トランジスタであって、

チャンネル領域を形成する部分を含む半導体薄膜と、

前記チャンネル領域によって分離された前記半導体薄膜の部分内に形成されたソースおよびドレイン領域と、

前記チャンネル領域の上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜の上に形成されたゲート電極とを備え、

前記半導体薄膜のチャンネル領域は、単結晶から構成され、かつ10<sup>9</sup>個/cm<sup>2</sup>未満の結晶欠陥密度を有する、電界効果型薄膜トランジスタ。

【請求項3】 絶縁体の上に形成された電界効果型薄膜トランジスタの製造方法であって、

多結晶半導体膜を形成する工程と、

前記多結晶半導体膜に選択的に所定の注入量で半導体イオンを注入することによって一部領域の結晶核発生個数が1以下に制御された非晶質半導体膜を形成する工程と、

前記非晶質半導体膜を熱処理することにより、前記一部領域が単結晶からなる結晶質半導体薄膜を形成する工程と、

前記一部領域の上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜の上にゲート電極を形成する工程と、

前記結晶質半導体薄膜の一部領域を挟む2つの領域に不純物を導入することによってソースおよびドレイン領域を形成する工程とを備えた、電界効果型薄膜トランジスタの製造方法。

【請求項4】 絶縁体の上に形成された電界効果型薄膜トランジスタの製造方法であって、

2

主表面を有し、所定領域あたりの結晶核発生個数が1以下に制御された非晶質半導体膜を形成する工程と、

前記非晶質半導体膜を選択的に除去することにより、前記主表面に対して鋭角をなすように前記非晶質半導体膜の側面を形成する工程と、

前記非晶質半導体膜を熱処理することにより、一部領域が単結晶からなる結晶質半導体薄膜を形成する工程と、

前記一部領域の上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜の上にゲート電極を形成する工程と、

10 前記結晶質半導体薄膜の一部領域を挟む2つの領域に不純物を導入することによってソースおよびドレイン領域を形成する工程とを備えた、電界効果型薄膜トランジスタの製造方法。

【請求項5】 絶縁体の上に形成された電界効果型薄膜トランジスタの製造方法であって、

所定領域あたりの結晶核発生個数が1以下に制御された非晶質半導体膜を形成する工程と、

前記非晶質半導体膜の一部領域に水素イオンまたはフッ素イオンを注入することにより、微小な結晶核を発生させる工程と、

20 前記非晶質半導体膜を熱処理することにより、前記一部領域以外の他の領域が単結晶からなる結晶質半導体薄膜を形成する工程と、

前記他の領域の上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜の上にゲート電極を形成する工程と、

前記結晶質半導体薄膜の他の領域を挟む2つの領域に不純物を導入することによってソースおよびドレイン領域を形成する工程とを備えた、電界効果型薄膜トランジスタの製造方法。

30 【請求項6】 絶縁体の上に形成された電界効果型薄膜トランジスタの製造方法であって、

所定領域あたりの結晶核発生個数が1以下に制御された非晶質半導体膜を形成する工程と、

前記非晶質半導体膜の一部領域に電子線を照射する工程と

前記非晶質半導体膜を熱処理することにより、前記一部領域が単結晶からなる結晶質半導体薄膜を形成する工程と、

前記一部領域の上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜の上にゲート電極を形成する工程と、

40 前記結晶質半導体薄膜の一部領域を挟む2つの領域に不純物を導入することによってソースおよびドレイン領域を形成する工程とを備えた、電界効果型薄膜トランジスタの製造方法。

【請求項7】 絶縁体の上に形成された電界効果型薄膜トランジスタの製造方法であって、

所定領域あたりの結晶核発生個数が1以下に制御された非晶質半導体膜を形成する工程と、

前記非晶質半導体膜の一部領域に圧縮応力を残留させる工程と、

50 前記非晶質半導体膜を熱処理することにより、前記一部

領域が単結晶からなる結晶質半導体薄膜を形成する工程と、

前記一部領域の上にゲート絶縁膜を形成する工程と、  
前記ゲート絶縁膜の上にゲート電極を形成する工程と、  
前記結晶質半導体薄膜の一部領域を挟む2つの領域に不純物を導入することによってソースおよびドレイン領域を形成する工程とを備えた、電界効果型薄膜トランジスタの製造方法。

【請求項8】 絶縁体の上に形成された電界効果型薄膜トランジスタの製造方法であって、

多結晶半導体膜を形成する工程と、  
前記多結晶半導体膜に選択的に所定の注入量で半導体イオンを注入することによって結晶核発生個数が1以下に制御された非晶質領域と、その非晶質領域の一部領域と点接触する部分を有する結晶質領域とからなる半導体膜を形成する工程と、

前記半導体膜を熱処理することにより、前記一部領域が単結晶からなる結晶質半導体薄膜を形成する工程と、  
前記一部領域の上にゲート絶縁膜を形成する工程と、  
前記ゲート絶縁膜の上にゲート電極を形成する工程と、  
前記結晶質半導体薄膜の一部領域を挟む2つの領域に不純物を導入することによってソースおよびドレイン領域を形成する工程とを備えた、電界効果型薄膜トランジスタの製造方法。

【請求項9】 絶縁体の上に形成された電界効果型薄膜トランジスタの製造方法であって、

一部領域のみに1個の結晶核を残留させた非晶質半導体膜を形成する工程と、

前記非晶質半導体膜を熱処理することにより、前記一部領域が単結晶からなる結晶質半導体薄膜を形成する工程と、

前記一部領域の上にゲート絶縁膜を形成する工程と、  
前記ゲート絶縁膜の上にゲート電極を形成する工程と、  
前記結晶質半導体薄膜の一部領域を挟む2つの領域に不純物を導入することによってソースおよびドレイン領域を形成する工程とを備えた、電界効果型薄膜トランジスタの製造方法。

【請求項10】 絶縁体の上に形成された電界効果型薄膜トランジスタの製造方法であって、

第1の膜厚を有する領域と、その第1の膜厚よりも大きい第2の膜厚を有する領域とを含み、所定領域あたりの結晶核発生個数が1以下に制御された非晶質半導体膜を形成する工程と、

前記非晶質半導体膜を熱処理することにより、前記第2の膜厚を有する領域が単結晶からなる結晶質半導体薄膜を形成する工程と、

前記一部領域の上にゲート絶縁膜を形成する工程と、  
前記ゲート絶縁膜の上にゲート電極を形成する工程と、  
前記結晶質半導体薄膜の一部領域を挟む2つの領域に不純物を導入することによってソースおよびドレイン領域

を形成する工程とを備えた、電界効果型薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、一般的には電界効果型薄膜トランジスタおよびその製造方法に関し、より特定のには、絶縁ゲート型電界効果トランジスタ(MOSFET)を用いてメモリセルを構成するスタティック型半導体記憶装置に適用可能な電界効果型薄膜トランジスタ(TFT)およびその製造方法に関するものである。

【0002】

【従来の技術】スタティック型半導体記憶装置として、いわゆるスタティック・ランダム・アクセス・メモリ(SRAM)は既によく知られている。この発明はSRAMに適用されたとき、最も好ましい効果が得られるので、以下、SRAMについて説明する。

【0003】SRAMにおいては、高集積化の努力とともに、スタンバイ電流(待機時電流)を低減させる努力が行なわれている。従来より高集積化を実現するために高抵抗負荷型メモリセルが採用されている。しかしながら、高抵抗負荷型メモリセルのSRAMの消費電力を低減させるためには、そのメモリセルに用いられている高抵抗負荷の抵抗値を増大させる必要がある。また、SRAMのメモリセルの集積度が上ると、その分だけ高抵抗負荷の抵抗値を上げる必要がある。一方、高抵抗負荷の抵抗値を増大させると、メモリセルの動作の不安定性が増加する。このため、集積度が4メガビット以上のSRAMでは、このメモリセルの動作の不安定性を解消するために高抵抗負荷型からCMOS型のメモリセルへの変更が検討されている。

【0004】CMOS型のメモリセルは4個のnチャネルMOSトランジスタと2個のpチャネルMOSトランジスタから構成される。これら6個のトランジスタをシリコン単結晶基板上に形成すると、メモリセルの占有面積が高抵抗負荷型メモリセルに比較して約1.5倍に大きくなり、メモリセル占有面積の縮小が困難となる。集積度をさらに向上させるため、2個のpチャネルMOSトランジスタを多結晶シリコンを用いた薄膜トランジスタで構成し、シリコン単結晶基板上に形成された4個のnチャネルMOSトランジスタの上に配置した三次元構造の、いわゆるTFT負荷型完全CMOSメモリセルの開発が行なわれている。

【0005】図83は、従来の完全CMOS型のSRAMの1つのメモリセルを示す等価回路図である。図83に示すように、2個のnチャネル駆動(ドライバ)MOSトランジスタQ2、Q4と2個のpチャネル負荷(ロード)MOSトランジスタQ1、Q3からなるインバータ回路をそれぞれ交差接続することにより、フリップフロップ回路が構成されている。このフリップフロップ回路の2つの記憶ノード(N1、N2)にnチャネル転送

5

(アクセス)トランジスタQ5、Q6が接続されている。フリップフロップ回路には電源電圧Vccと接地電位Vssが供給されている。アクセストランジスタQ5、Q6のドレインにはビット線33、34が接続されている。アクセストランジスタQ5、Q6のゲート電極はワード線35に接続されている。このようなSRAMのメモリセルの動作はよく知られているように、待機時には、ワード線35、ビット線33、34が0Vに保持され、アクセストランジスタQ5、Q6はOFF状態にあり、フリップフロップ回路は孤立している。これにより、記憶ノードN1(またはN2)に“High”(3V)、記憶ノードN2(またはN1)には“Low”(0V)がデータとして保持されている。データの保持は、記憶ノードN1、N2の浮遊容量に蓄積された電荷を保持することにより行なわれている。

【0006】所望のメモリセルが選択されたとき、すなわち、ワード線35が“High”レベルの時、アクセストランジスタQ5、Q6がON状態にされる。これにより、記憶ノードN1、N2がビット線33、34と導通状態にされる。このとき、ビット線33、34に、それぞれの記憶ノードN1、N2の状態に対応した電圧がアクセストランジスタQ5、Q6を介して現れる。このようにして、メモリセルに保持された情報が読出される。メモリセルにデータの書込みを行なうときは、アクセストランジスタQ5、Q6がON状態において、ビット線33、34の各々に所望の書込まれるべき状態に対応した電圧が印加される。このように、読出/書込時にはワード線35を立上げ、アクセストランジスタQ5、Q6を介してビット線33、34から“High”または“Low”の情報を記憶ノードN1、N2に記憶させたり、逆に記憶ノードN1、N2の情報を読出すことにより、このメモリセルはスタティック記憶装置として機能している。なお、このようなCMOS回路を有するSRAMのメモリセルは、待機時にはMOSTランジスタのリーク電流が流れるだけである。そのため、完全CMOS型のSRAMは極めて、その消費電力が小さいという特徴を有している。

【0007】図84は従来のTFT負荷型完全CMOS・SRAMのメモリセルの等価回路を三次元配置で示したものである。図85と図86は従来のTFT負荷型SRAMのメモリセルを示す平面図と模式的な断面図である。図84～図86を参照して、従来のTFT負荷型SRAMのメモリセルの構造について説明する。

【0008】図84を参照して、上側の能動素子層(以下、上層と称する)には、pチャネルMOSTランジスタQ1、Q3が形成され、それらの一方電極が電源Vccに一体的に接続されている。また、上層では、pチャネルMOSTランジスタQ1のゲート電極とpチャネルMOSTランジスタQ3の他方電極とがノードN21で一体的に接続され、pチャネルMOSTランジスタQ3

6

のゲート電極とpチャネルMOSTランジスタQ1の他方電極とがノードN11で一体的に接続されている。さらに上層にはビット線33と34が設けられている。

【0009】次に、下側の能動素子層(以下、下層と称する)には、nチャネルMOSTランジスタQ2、Q4、Q5、Q6が形成されている。nチャネルMOSTランジスタQ2とQ4の一方電極は接地電極Vssに一体的に接続されている。また、下層では、nチャネルMOSTランジスタQ2のゲート電極とnチャネルMOSTランジスタQ4の他方電極とがノードN22で一体的に接続され、nチャネルMOSTランジスタQ4のゲート電極とnチャネルMOSTランジスタQ2の他方電極とがノードN12で一体的に接続されている。さらに、下層にはワード線35が設けられている。

【0010】上層と下層は絶縁層により分離されている。上層のノードN11と下層のノードN12を電気的に接続するためにスルーホール51が絶縁層内に設けられ、上層のノードN21と下層のノードN22とを接続するためにスルーホール52が設けられている。このようにして、MOSTランジスタQ1、Q2、Q3、Q4がスルーホール51、52を介して接続されることにより、CMOS型フリップフロップ回路が構成されている。

【0011】さらに、下層では、アクセス用のnチャネルMOSTランジスタQ5の一方電極がノードN12に接続され、ゲート電極がワード線35に接続されている。同様に、nチャネルMOSTランジスタQ6の一方電極がノードN22に接続され、ゲート電極がワード線35に接続されている。nチャネルMOSTランジスタQ5の他方電極は、絶縁層内に設けられたスルーホール53を介して、上層に設けられたビット線33と電気的に接続されている。同様に、nチャネルMOSTランジスタQ6の他方電極も、スルーホール54を介して、上層のビット線34に接続されている。

【0012】図85の(A)と(B)は、図84に示されたSRAMのメモリセルのそれぞれ上層、下層の能動素子の平面的配置を示す図である。図85の(A)を参照して、上層では、ゲート電極60の上にゲート絶縁膜を介して、多結晶シリコンからなる活性層55が形成されている。ゲート電極60と重なっていない領域の活性層55にはボロン(B)が多量に導入されてp<sup>+</sup>領域が形成されている。この結果、pチャネルMOSTランジスタ(TFT)Q1、Q3が形成されている。上層の能動素子は、ゲート電極60が活性層55の下部にあるボトムゲート型構造をとっている。

【0013】他方、図85の(B)を参照して、下層では、半導体基板のp<sup>-</sup>領域内に活性層56が形成されている。活性層56の上にはゲート絶縁膜を介してゲート電極71が形成されている。ゲート電極71と重なっていない領域の活性層56には砒素(As)が多量に導入

7

されて $n^+$ 領域が形成されている。この結果、 $n$ チャネルMOSトランジスタQ2、Q4、Q5、Q6が形成されている。

【0014】また、前述のように、上下層を電氣的に接続するためにスルーホール51、52、53、54が設けられている。なお、ノードN11とノードN12、およびこれらを接続するスルーホール51は配置の関係上2個ずつ設けられている。また、図85においては、接地線(Vss線)、ビット線33、34を形成するアルミニウム配線、およびワード線(ゲート電極)71を数十ビットごとに補強するためのアルミニウム配線は示されていない。ビット線33、34を形成するアルミニウム配線は、図85中でそれぞれスルーホール53、54を含むようにL-L線に平行に2本設けられる。ワード線71を補強するためのアルミニウム配線は図85の(B)中でワード線71の上に平行に設けられ、ワード線71の電気抵抗による電位降下を防止する。

【0015】図86は、図85のL-L線に沿った断面構造を示す模式的な断面図である。図86を参照して、従来のSRAMのメモリセルの断面構造と、その製造方法について簡単に説明する。

【0016】単結晶シリコン基板1は、メモリセル領域内の主表面側で $10^{18}/\text{cm}^3$ 程度の不純物濃度の $p^-$ 領域を形成する。シリコン基板1の主表面にはLOCOS法により、厚み4000Åの分離酸化膜21が形成されている。また、シリコン基板1の主表面上には厚み100Åのゲート酸化膜41が形成されている。分離酸化膜21で分離された領域が活性層56となる。活性層56の領域の上にリンを $10^{20}/\text{cm}^3$ の濃度で含む厚み1500Åの多結晶シリコン層と厚み2000Åのタングステンシリサイド(WSi<sub>2</sub>)層からなるゲート電極71が所定のパターンに従って形成される。パターニングされたゲート電極71の上方から、Asが $2 \times 10^{15}/\text{cm}^2$ の注入量で注入されることにより、 $n$ チャネルMOSトランジスタQ2、Q4、Q5、Q6のソース・ドレイン領域( $n^+$ 領域、すなわち図86中、活性層56のうち、その上にゲート電極71のない領域)56bが形成される。活性層56のうち、ゲート電極71と重なっている領域はチャネル領域56aである。絶縁膜としてCVD法による酸化膜がゲート電極71の上に堆積され、表面の平坦化が行なわれることにより、層間絶縁膜42が形成される。層間絶縁膜42の厚みは約3000Åである。

【0017】ノードN12、N22のためのスルーホール51、52およびスルーホール53、54(スルーホール51、53は図86中には示されていない)が層間絶縁膜42内に開口される。スルーホール51、52、53、54内に、Asを $2 \times 10^{20}/\text{cm}^3$ の濃度で含む厚み2000Åの多結晶シリコン層と厚み2000Åのタングステンシリサイド層からなる導電膜81が形成

8

される。スルーホール51、52の上には、Asを $2 \times 10^{20}/\text{cm}^3$ の濃度で含む厚み2000Åの多結晶シリコン層を堆積し、パターニングすることにより、上層のゲート電極60が形成される。このゲート電極60の上にCVD法による厚み200Åの酸化膜がゲート絶縁膜43として形成される。そのゲート絶縁膜43の上に厚み300Åの多結晶シリコン層をCVD法によって堆積し、パターニングすることにより、上層の活性層55が形成される。この多結晶シリコン層の堆積は620℃の温度で行なう。スルーホール51、52の上において、下層との電氣的接続を図るため、ゲート絶縁膜43は除去されている。活性層55において、スルーホール51、52の上と、ゲート絶縁膜43との重なりがない部分にボロン(B)を $2 \times 10^{20}/\text{cm}^3$ の濃度で導入することにより、 $p$ チャネルMOSトランジスタQ1、Q3のソース・ドレイン領域55b(図85参照)が形成される。下層の場合と同様に、厚み約3000Åの平坦化された層間絶縁膜44が形成される。スルーホール53、54を再び開口して、厚み7000Åのアルミニウム配線層91が堆積され、パターニングされることにより、ビット線34(図84)が形成される。なお、ビット線33は図86中には現れない。さらに、厚み7000ÅのプラズマCVD法による酸化膜からなる層間絶縁膜45が形成される。この層間絶縁膜45の上に、ワード線35(図85、図86中ではゲート電極71)を補強するためのアルミニウム配線層92が8000Åの厚みで堆積され、パターニングされて形成される。このようにして従来のTFT負荷型完全CMOS・SRAMのメモリセルが構成される。なお、図86においては、接地線(Vss線)は示されていない。

【0018】

【発明が解決しようとする課題】従来のTFT( $p$ チャネルMOSトランジスタ)の電氣的特性を図87に示す。図87は、チャネル長0.8 $\mu\text{m}$ 、チャネル幅0.4 $\mu\text{m}$ のTFTのドレイン電圧 $V_D = -3\text{V}$ を印加した場合のドレイン電流( $I_D$ )—ゲート電圧( $V_G$ )の関係を示す。ゲート電圧 $V_G = -3\text{V}$ のとき(ON状態)のドレイン電流 $I_D$ は1nA( $10^{-9}\text{A}$ )、ゲート電圧 $V_G = 0\text{V}$ のとき(OFF状態)のドレイン電流 $I_D$ は100fA( $10^{-13}\text{A}$ )である。

【0019】ところで、SRAMの高集積化に伴って、メモリセルを構成する素子の微細化が当然要求される。たとえば、16メガビットのSRAMにおいては、素子の設計寸法は0.35~0.4 $\mu\text{m}$ になる。この程度の寸法まで素子を微細化すると、SRAMのメモリセルが動作しなくなるという問題点が生じた。16メガビットのSRAMのメモリセルが動作しない原因は以下の理由による。

【0020】素子の寸法が0.4 $\mu\text{m}$ 以下に微細化されると、トランジスタの信頼性を確保するために使用され

る電源電圧は3.3V、または3Vまで低減される。さらに、下層のドライバトランジスタQ2またはQ4の $\beta$  ( $\beta_D$  と表示する)とアクセストランジスタQ5またはQ6の $\beta$  ( $\beta_A$  と表示する)の比 $\beta_D / \beta_A$  (以下 $\beta$ 比と称する)が2程度の値になり、大きくとれなくなってくる。ここで、 $\beta$ はトランジスタのコンダクタンスを表わす量で、 $\beta = \mu \epsilon_{ox} \epsilon_0 W / (t_{ox} L)$  で与えられる。 $\mu$ は移動度、 $\epsilon_{ox}$ はゲート絶縁膜の比誘電率、 $\epsilon_0$ は真空の誘電率、 $t_{ox}$ はゲート酸化膜の膜厚、 $W$ はゲート幅、 $L$ はゲート長である。

【0021】図83の等価回路において、メモリセル内の記憶情報の読出時には、ビット線33、34の両方に電圧 $V_{cc}$ を印加し、ワード線35に正の電圧を与えてアクセストランジスタQ5、Q6を導通状態にする。これにより、メモリセルの“Low”レベル側のドライバトランジスタQ2 (またはQ4) (“Low”レベル側のドライバトランジスタはON状態にある)でビット線を放電して、メモリセルの“Low”レベル側に繋がるビット線の電位を“High”レベル側に流れるビット線の電位より低くして、メモリセルに保持された情報をビット線に伝達する。このように読出時には、たとえばノードN2が“Low”レベル(0V)、ノードN1が“High”レベル(3V)の電位を保持しているとすると、トランジスタQ4、Q6がON状態のため、ビット線34からトランジスタQ6、Q4を通して接地電位 $V_{ss}$ (0V)に電流が流れる。電圧 $V_{cc}$ (3V)が印加されたビット線34のトランジスタQ6との交点の電位は、ビット線34自身の抵抗のために3Vから1.5Vまで低下する。 $\beta$ 比が十分大きければ、ノードN2の電位は0Vに近い値に保持される。しかしながら、 $\beta$ 比が2の場合、トランジスタQ6のON状態の抵抗(コンダクタンスの逆数)はトランジスタQ4の抵抗の2倍であるため、それらの抵抗分割によりノードN2の電位は0.5Vまで上昇する。

【0022】ノードN2はnチャネルMOSトランジスタQ2のゲート電極に接続されている。nチャネルMOSトランジスタQ2、Q4のしきい値電圧( $V_{th}$ )は0.7Vであるので、nチャネルMOSトランジスタQ2には1nA程度のサブスレッショルド電流が流れることになる。このときに、nチャネルMOSトランジスタQ2に接続されてインバータを構成しているpチャネルMOSトランジスタQ1は、ゲート電圧(ノードN2の電位)が0.5VのためON状態にある。すなわち、pチャネルMOSトランジスタQ1のソースには電圧 $V_{cc}$ (3V)が印加されており、ソースから見たゲート電圧は-2.5V(=0.5V-3V)となる。このことから、図87に示すように、pチャネルMOSトランジスタQ1はON状態にある。このON状態にあるpチャネルMOSトランジスタQ1のドレイン電流は、図87によれば0.5nA程度であり、最大でも1nA程度で

ある。

【0023】このように、nチャネルMOSトランジスタQ2にサブスレッショルド電流として流れる電流と、pチャネルMOSトランジスタQ1に流れる電流が同程度である。このことは、読出時には“High”レベルのノード側(この場合はN1)のpチャネルMOSトランジスタQ1とnチャネルトランジスタQ2の抵抗が等しくなるということを表わしている。したがって、ノードN1の電位は抵抗分割により、電源電圧 $V_{cc}$ の半分、すなわち1.5Vにまで下降し、メモリセルの動作が不安定になるか、最悪の場合はデータが反転してしまう。別の言葉で表現すると、ノードN1の浮遊容量に蓄積された“High”のレベルの電荷は、サブスレッショルド電流が流れているnチャネルMOSトランジスタQ2によって、接地電位 $V_{ss}$ (0V)側に漏れでてしまう。待機時には、nチャネルMOSトランジスタQ2のリーク電流は非常に小さい(1fA以下)ので、リーク電流による減少分の電荷はON状態のpチャネルMOSトランジスタQ1によって補充される。しかし、読出時には、nチャネルMOSトランジスタQ2から漏れる電流のほうがpチャネルMOSトランジスタQ1から供給される電流より多いので、データが破壊されることになる。

【0024】データが破壊されるとき状況をもう少し詳しく説明してみる。ノードN1はトランジスタQ3、Q4のゲート電極に接続されている。ノードN1の電位が3Vから1.5Vまで下降すると、pチャネルMOSトランジスタQ3のゲート電極に1.5Vの電圧が印加される。このとき、トランジスタQ3のソース側から見たゲート電圧は-1.5V(=1.5V-3V)である。そのため、読出前、OFF状態であったトランジスタQ3は読出時にON状態になる(図87参照)。それと同時に、nチャネルMOSトランジスタQ4のゲート電圧も3Vから1.5Vまで低下する。これにより、トランジスタQ4に流れる電流が減少し、トランジスタQ3に電流が流れるので、ノードN2の電位が上昇する。ノードN2の電位がトランジスタQ2のしきい値電圧0.7Vよりも高くなると、トランジスタQ2はON状態になり、サブスレッショルド電流よりもさらに多くの電流を流すことになる。その結果、ノードN1の電位はさらに低下する。ノードN1の電位が0.7V以下になると、トランジスタQ4に印加されるゲート電圧がしきい値以下になり、トランジスタQ4はOFF状態になる。その結果、ノードN2の電位は3Vまで上昇し、ノードN1の電位は0Vにまで下降する。このようにして、最悪の場合はデータが反転してしまう。すなわち、メモリセルに保持された情報が破壊される。

【0025】上述のような $\beta$ 比の減少によるメモリセルの不安定性については、H. Shinohara et al., Digest of Technical

## 11

Papers, Symposium on VLSI Technology, pp106-107に詳しく述べられている。

【0026】次に、データ書込時の問題点について考えてみる。書込時においては、ワード線35に正の電圧を与えて、アクセストランジスタQ5、Q6を導通状態にする。そして、ビット線33または34のいずれかで“Low”レベルを書込みたい方のビット線を0Vの電位にすることによりデータの書込みを行なう。ノードN2に“Low”レベルのデータを書込んだ直後の場合を40  
考えてみる。ノードN1の電位は“High”レベルであるが、アクセストランジスタQ5がON状態にあるために、 $V_{cc}$  (3V) から  $V_{cc}-V_{th}$  ( $=2V: V_{th}$ はアクセストランジスタQ5のしきい値電圧 $=1V$ )まで低下して、メモリセルが不安定になる。したがって、ノードN1の電位をpチャネルMOSトランジスタQ1によって ( $V_{cc}-V_{th}$ ) から  $V_{cc}$ まで充電しなければならない。ノードN1の容量は約1fFであり、pチャネルMOSトランジスタQ1のON電流は1nAであるので、充電に必要な時間 $t$ は、 $t=1fF \times 1V/1nA=1\mu sec$ となる。すなわち、メモリセルが安定な状態になるまで1 $\mu sec$ 程度の長い時間が必要となる。この時間の間は、メモリセルの情報を読出すことはできない。SRAMのデータ書込、データ読出のアクセス時間は通常50nsec程度の時間であることが必要である。そのため、ON電流が1nA程度のTFT (pチャネルMOSトランジスタ) では、産業上利用することが可能なSRAMのメモリセルを構成することは不可能である。

【0027】次に、16メガビットのSRAMのスタンバイ電流についての問題点を考える。TFT負荷型完全CMOS・SRAMのメモリセルはCMOSインバータの構成を採用している。そのため、直流の電流パスがなく、待機時にはトランジスタのリーク電流のみがSRAMの消費電力に寄与する。図83のメモリセルにおいて、ノードN1、N2は一方が“High”レベル、他方が“Low”レベルの電位を有する。“High”レベルの電位を保持しているノードではnチャネルMOSトランジスタQ2またはQ4がOFF状態にあり、“Low”レベルの電位を有するノードではpチャネルMOSトランジスタQ1またはQ3がOFF状態にある。nチャネルMOSトランジスタQ2、Q4のリーク電流は1fA以下、pチャネルMOSトランジスタ (TFT) Q1、Q3のリーク電流は100fA (図87) である。そのため、メモリセルのスタンバイ電流は、セル1個あたり、ほぼpチャネルMOSトランジスタ (TFT) 1個分のリーク電流となる。したがって、16メガビットのSRAMのスタンバイ電流は1.7 $\mu A$  ( $=100fA \times 2^{14}$ セル) と1 $\mu A$ を越え、低消費電力のSRAMとはいえないものになっている。低消費電力を実40

## 12

現するためには、スタンバイ電流を1 $\mu A$ 以下 (できれば0.1 $\mu A$ 以下) にする必要がある。そのためには、SRAMのメモリセルを構成するTFTのリーク電流は60fA以下 (できれば6fA以下) でなければならない。

【0028】以上のように、TFTのON電流が小さいと、微細化されたSRAMのデータの読出、書込時においてメモリセルの動作が不安定となるという問題点が明らかになった。この問題点を回避するために、ドライバトランジスタとアクセストランジスタの $\beta$ 比を上げる試みがなされている。そのためには、アクセストランジスタQ5、Q6のゲート幅 $W$ を小さくし、ドライバトランジスタQ2、Q4のゲート幅 $W$ を大きくする必要がある。ところが、ゲート幅 $W$ の最小値は可能な最小加工寸法で決まるために、アクセストランジスタQ5、Q6のゲート幅 $W$ をこれ以上小さくすることは不可能となる。そのため、 $\beta$ 比を上げるためにはドライバトランジスタQ2、Q4のゲート幅 $W$ を大きくしなければならない。しかしながら、このことはSRAMのチップ面積の増大を招き、微細化が不可能となることを意味する。また、 $\beta$ 比を上げるためにアクセストランジスタQ5、Q6のしきい値電圧 $V_{th}$ をドライバトランジスタQ2、Q4のそれよりも大きく設定するという手段も考えられる。しかし、素子の微細化に伴って、電源電圧 $V_{cc}$ を低減させる必要があるため、アクセストランジスタQ5、Q6のしきい値電圧 $V_{th}$ を大きく設定することはSRAMの集積度の向上につれて困難となっている。

【0029】また、TFTのOFF電流が大きいと、SRAMの消費電力が上昇する。SRAMの消費電力はTFTの数に比例するので (正確には、(TFTの個数)  $\times$  (ゲート幅) で計算される。集積度が4倍になると消費電力は約3倍になる。)、TFTの性能が同じであるなら、SRAMの集積度が向上するにつれて消費電力が大きくなるのは必然的な問題である。

【0030】以上のように、微細化されたSRAMが正常に動作しないという問題点は、TFTの性能に問題があることが理解される。単結晶シリコン基板上に形成されたトランジスタと比較して、TFTのON電流が小さく、OFF電流が大きいのは、TFTのチャネル部分に存在する多結晶シリコンの結晶粒界のためである。

【0031】微細化されたSRAMに用いられるTFTのチャネル領域およびその周辺部分を図88に示す。図88の (A) はTFTの平面図、(B) は斜視図を示す。活性層55はゲート電極60の上にゲート絶縁膜を介在して形成されている。活性層55はドレイン領域とチャネル領域とソース領域とから構成される。チャネル領域はゲート電極60に重なっている。図88の (B) の斜視図に示すように、厚み300Åの多結晶シリコン膜の結晶粒径は、透過型電子顕微鏡 (TEM) による観察で調べたところ、平均200Åであることが分かっ50

た。ゲート幅は $0.4\mu\text{m}$ 、ゲート長は $0.8\mu\text{m}$ である。したがって、 $0.4\mu\text{m} \times 0.8\mu\text{m}$ のチャネル領域には約800個の結晶粒が存在しており、チャネル長に平行な方向には40個の結晶粒が存在していることになる。よく知られているように、結晶粒界はチャネル領域中のキャリア（正孔）のトラップとして作用する。トラップに固定されたキャリアは粒界付近のキャリアを排除して電位障壁を作る。この電位障壁の存在により、TFTの電気的特性は、単結晶シリコン基板上に形成されたトランジスタと比較してドレイン電流の低下、移動度の低下などの現象を示す。このために、TFTのON電流が減少する。また、結晶粒界にはシリコン原子の未結合手（ダングリングボンド）が多数存在する。この未結合手がシリコンのエネルギバンド構造中に多くのミッドギャップ準位を形成する。このミッドギャップ準位を介して熱励起により電子が価電子帯から伝導帯へ励起され、ドレインからソースへ流れることによりTFTのOFF電流が増加する。したがって、TFTのON電流を増大させ、OFF電流を低減するためには多結晶シリコンの結晶粒径を大きくして結晶粒界の数を低減させることが必要である。

【0032】多結晶シリコンの結晶粒径を増大させる方法としては、非晶質（アモルファス）シリコンを堆積し、 $600^\circ\text{C}$ 程度の温度で数時間アニールすることにより、固相成長させ、大粒径の多結晶シリコン膜を得る方法がある。このアモルファスシリコンの形成方法は種々存在するが、たとえばジシラン（ $\text{Si}_2\text{H}_6$ ）ガスを材料にした低温（ $\sim 450^\circ\text{C}$ ）でのCVD法によってアモルファスシリコンを形成する方法がある。ところが、この方法では多結晶シリコンの粒径を $\sim 1\mu\text{m}$ 以上に増大させることは可能であるが、結晶粒界の発生位置を制御することはできない。

【0033】たとえば、特開昭62-287614号公報には、アモルファスシリコン膜を $1000\text{\AA}$ 以上の厚みで形成することにより、固相成長させた多結晶シリコン膜の結晶粒径を大きくする方法が開示されている。また、特開平2-84773号公報には、結晶粒界部分を除いた結晶領域をチャネル領域とする薄膜トランジスタが開示されている。しかしながら、これらの公報にはアモルファスシリコン膜から大粒径の多結晶シリコン膜を得る方法が開示されているだけであり、結晶粒界の発生位置そのものを制御する方法は何ら開示されていない。

【0034】そのため、微細化されたTFTにおいては、チャネル領域内にある程度の割合で結晶粒界が存在することは避けられなかった。また、大きなON電流と小さなOFF電流を示すように制御された結晶組織からなるチャネル領域を備えたTFTは従来の固相成長法によっては得ることができなかった。

【0035】この発明の目的は、上述のような問題点を解消することであり、微細化された完全CMOS型SR

AMにおいて読出書込動作を安定化し、かつ消費電力を低減させることが可能な薄膜トランジスタおよびその製造方法を提供することである。

#### 【0036】

【課題を解決するための手段】請求項1に係る電界効果型薄膜トランジスタは、絶縁体の上に形成されるものであって、半導体薄膜とソースおよびドレイン領域とゲート絶縁膜とゲート電極とを備える。半導体薄膜は、所定のチャネル幅を有するチャネル領域を形成する部分を含む。ソースおよびドレイン領域は、チャネル領域によってチャネル幅と交差する方向に分離された半導体薄膜の部分内に形成されている。ゲート絶縁膜はチャネル領域の上に形成されている。ゲート電極はゲート絶縁膜の上に形成されている。チャネル幅 $1\mu\text{m}$ あたりのソースおよびドレイン領域の間に流れる電流値が、ソースおよびドレイン領域の間に $-3\text{V}$ の電圧、ゲート電極とソース領域の間に $-3\text{V}$ の電圧を印加した場合、 $-0.25\mu\text{A}$ 以上であり、かつソースおよびドレイン領域の間に $-3\text{V}$ の電圧、ゲート電極とソース領域の間に $0\text{V}$ の電圧を印加した場合、 $-15\text{fA}$ 以下であるように制御された結晶組織から、半導体薄膜のチャネル領域は構成されている。

【0037】請求項2に係る電界効果型薄膜トランジスタは、半導体薄膜とソースおよびドレイン領域とゲート絶縁膜とゲート電極とを備える。半導体薄膜はチャネル領域を形成する部分を含む。ソースおよびドレイン領域はチャネル領域によって分離された半導体薄膜の部分内に形成されている。ゲート絶縁膜はチャネル領域の上に形成されている。ゲート電極はゲート絶縁膜の上に形成されている。半導体薄膜のチャネル領域は単結晶から構成され、かつ $10^9$ 個/ $\text{cm}^2$ 未満の結晶欠陥密度を有する請求項3に係る電界効果型薄膜トランジスタの製造方法においては、まず、多結晶半導体膜が形成される。多結晶半導体膜には選択的に所定の注入量で半導体イオンが注入されることによって一部領域の結晶核発生個数が1以下に制御された非晶質半導体膜が形成される。この非晶質半導体膜を熱処理することにより、一部領域が単結晶からなる結晶質半導体薄膜が形成される。その一部領域の上にゲート絶縁膜が形成される。ゲート絶縁膜の上にゲート電極が形成される。結晶質半導体薄膜の一部領域を挟む2つの領域に不純物を導入することによってソースおよびドレイン領域が形成される。

【0038】請求項4に係る電界効果型薄膜トランジスタの製造方法においては、主表面を有し、所定領域あたりの結晶核発生個数が1以下に制御された非晶質半導体膜が形成される。非晶質半導体膜を選択的に除去することにより、主表面に対して鋭角をなすように非晶質半導体膜の側面が形成される。非晶質半導体膜を熱処理することにより、一部領域が単結晶からなる結晶質半導体薄膜が形成される。その一部領域の上にゲート絶縁膜が形

10

20

30

40

50



成され、ゲート絶縁膜の上にゲート電極が形成される。結晶質半導体薄膜の一部領域を挟む2つの領域に不純物を導入することによってソースおよびドレイン領域が形成される。

【0039】請求項5に係る電界効果型薄膜トランジスタの製造方法においては、まず、所定領域あたりの結晶核発生個数が1以下に制御された非晶質半導体膜が形成される。非晶質半導体膜の一部領域に水素イオンまたはフッ素イオンを注入することにより微小な結晶核が発生させられる。非晶質半導体膜を熱処理することにより、前記一部領域以外の他の領域が単結晶からなる結晶質半導体薄膜が形成される。その他の領域の上にゲート絶縁膜が形成される。ゲート絶縁膜の上にゲート電極が形成される。結晶質半導体薄膜の他の領域を挟む2つの領域に不純物を導入することによってソースおよびドレイン領域が形成される。

【0040】請求項6に係る電界効果型薄膜トランジスタの製造方法においては、まず、所定領域あたりの結晶核発生個数が1以下に制御された非晶質半導体膜が形成される。非晶質半導体膜の一部領域に電子線が照射される。非晶質半導体膜を熱処理することにより、一部領域が単結晶からなる結晶質半導体薄膜が形成される。一部領域の上にゲート絶縁膜が形成され、ゲート絶縁膜の上にゲート電極が形成される。結晶質半導体薄膜の一部領域を挟む2つの領域に不純物を導入することによってソースおよびドレイン領域が形成される。

【0041】請求項7に係る電界効果型薄膜トランジスタの製造方法においては、まず、所定領域あたりの結晶核発生個数が1以下に制御された非晶質半導体膜が形成される。非晶質半導体膜の一部領域に圧縮応力が残留させられる。非晶質半導体膜を熱処理することにより、その一部領域が単結晶からなる結晶質半導体薄膜が形成される。一部領域の上にゲート絶縁膜が形成され、ゲート絶縁膜の上にゲート電極が形成される。結晶質半導体薄膜の一部領域を挟む2つの領域に不純物を導入することによってソースおよびドレイン領域が形成される。

【0042】請求項8に係る電界効果型薄膜トランジスタの製造方法においては、まず、多結晶半導体膜が形成される。多結晶半導体膜に選択的に所定の注入量で半導体イオンを注入することによって、結晶核発生個数が1以下に制御された非晶質領域と、その非晶質領域の一部領域と点接触する部分を有する結晶質領域とからなる半導体膜が形成される。その半導体膜を熱処理することにより、一部領域が単結晶からなる結晶質半導体薄膜が形成される。一部領域の上にゲート絶縁膜が形成される。ゲート絶縁膜の上にゲート電極が形成される。結晶質半導体薄膜の一部領域を挟む2つの領域に不純物を導入することによってソースおよびドレイン領域が形成される。

【0043】請求項9に係る電界効果型薄膜トランジスタ

タの製造方法においては、一部領域のみに1個の結晶核を残留させた非晶質半導体膜が形成される。非晶質半導体膜を熱処理することにより、一部領域が単結晶からなる結晶質半導体薄膜が形成される。一部領域の上にゲート絶縁膜が形成される。ゲート絶縁膜の上にゲート電極が形成される。結晶質半導体薄膜の一部領域を挟む2つの領域に不純物を導入することによってソースおよびドレイン領域が形成される。

【0044】請求項10に係る電界効果型薄膜トランジスタの製造方法においては、第1の膜厚を有する領域とその第1の膜厚よりも大きい第2の膜厚を有する領域とを含む非晶質半導体膜が形成される。この非晶質半導体膜は、所定領域あたりの結晶核発生個数が1以下に制御されている。この非晶質半導体膜を熱処理することにより、第2の膜厚を有する領域が単結晶からなる結晶質半導体薄膜が形成される。第2の膜厚を有する領域の上にゲート絶縁膜が形成され、そのゲート絶縁膜の上にゲート電極が形成される。前記結晶質半導体薄膜の第2の膜厚を有する領域を挟む2つの領域に不純物を導入することによってソースおよびドレイン領域が形成される。

【0045】

【作用】請求項1に係る電界効果型薄膜トランジスタにおいては、ゲート幅1 $\mu\text{m}$ あたりのON電流が0.25 $\mu\text{A}$ 以上である。そのため、16メガビット以上に高集積化され、微細化されたSRAMに本発明の薄膜トランジスタを負荷トランジスタとして用いた場合、SRAMの読出書込動作を安定化させる。また、請求項1に係る薄膜トランジスタでは、ゲート幅1 $\mu\text{m}$ あたりのOFF電流が15fA以下である。そのため、この薄膜トランジスタが、16メガビット以上に高集積化され、微細化されたSRAMの負荷トランジスタに適用された場合に、SRAMの消費電力を低減させる。

【0046】請求項2に係る電界効果型薄膜トランジスタにおいては、半導体薄膜のチャネル領域が単結晶から構成され、かつ $10^9$ 個/ $\text{cm}^2$ 未満の結晶欠陥密度を有している。そのため、この薄膜トランジスタは大きなON電流を示すとともに低減されたOFF電流を示す。したがって、この薄膜トランジスタは、高集積化され、微細化されたSRAMの読出書込動作を安定化させるとともに、SRAMの消費電力を低減させるのに寄与する。

【0047】請求項3ないし10に係る電界効果型薄膜トランジスタの製造方法においては、チャネル領域が単結晶から形成されるように制御される。また、チャネル領域に含まれる結晶欠陥密度も低減される。その結果、従来より高いON電流を示すとともに、より低減されたOFF電流を示す薄膜トランジスタが製造され得る。

【0048】

【実施例】図1の(A)は本発明の一実施例によるTFETを示す平面図、図1の(B)はその斜視図である。図

1においては、微細化されたSRAMに適用可能な本発明のTFTの構造が模式的に示されている。pチャネルMOSトランジスタとしてのTFTはゲート電極60と活性層55を備えている。ゲート電極60は活性層55の上にゲート絶縁膜を介在して設けられている。活性層55はチャネル領域55aとソース・ドレイン領域55bから構成される。チャネル領域55aは結晶粒界を含まず、単結晶シリコン層から形成されている。ソース・ドレイン領域55bは多結晶シリコン層から形成されている。チャネル領域55aは低い値に制御された結晶欠陥密度を有する。

【0049】表1は、種々の製造方法による活性層を備えたTFTの特性を示す。表1においては、TFTのON電流、OFF電流の値と、それぞれのTFTのチャネ\*

\*ル領域を横切る結晶粒界の数とチャネル領域の結晶性(欠陥密度)の関係を示している。表1においてNo. 1~3は、本発明の製造方法A~Hによる活性層を用いたTFTの特性を示している。No. 4, 5は従来の固相成長法による活性層を用いたTFTの特性を示している。No. 6~8は比較例として他の製造方法による活性層を用いたTFTの特性を示している。電流値はチャネル幅1 $\mu\text{m}$ あたりに換算した値が示されている。ON電流が0.25 $\mu\text{A}/\mu\text{m}$ 以上、OFF電流が15fA/ $\mu\text{m}$ 以下の両方の条件を満たすTFTについて○印、満たさないものは×印と判定されている。

【0050】

【表1】

No.	TFTの活性層の製造方法	チャネル領域		チャネル幅1 $\mu\text{m}$ あたりの電流値		判定
		結晶粒界の数(個)	結晶欠陥密度(個/ $\text{cm}^2$ )	ON( $\mu\text{A}$ )	OFF(fA)	
1	B	0	$1 \times 10^8$	2	6	○
2	A, E	0	$5 \times 10^8$	0.25	15	○
3	C, D, F, G, H	0	$2 \times 10^8$	1	10	○
4	従来の固相成長法	0	$1 \times 10^9$	0.2	30	×
5	従来の固相成長法	1	$1 \times 10^9$	0.1	40	×
6	レーザアニール法 (出力 大)	1	$1 \times 10^5$	4	10	○
7	レーザアニール法 (出力 小)	~10	$1 \times 10^9$	2pA	40	×
8	LPCVD法 (微少粒径の多結晶シリコン層)	~100	$1 \times 10^{12}$	50pA	40	×

表1を参照して、No. 4, 5は、結晶粒界の位置を制御することなく固相成長法だけで形成された活性層を用いたTFTの特性を示している。特にNo. 4によれば、結晶粒界がチャネル領域内に存在しなくても、結晶欠陥密度が大きいため、上記の所定の電流値の条件を満たさない。このように、チャネル領域内に結晶粒界が存在していなくても、欠陥密度が $1 \times 10^9$  個/ $\text{cm}^2$ 程度である場合、ON電流とOFF電流の要求値を満たすことができないことが理解される。

【0051】これに対して、本発明の製造方法による活性層を用いたTFT (No. 1, 2, 3) はON電流と※50

40※OFF電流の要求値を満足する。本発明の製造方法によるチャネル領域は結晶粒界を含まず、 $1 \times 10^9$  個/ $\text{cm}^2$  未満の結晶欠陥密度を有する。

【0052】他の例としてレーザアニール法による活性層を用いたTFTの特性を参照する。No. 6は多結晶シリコンが溶融する程度までレーザの出力が大きい場合、No. 7は多結晶シリコンが溶融しない程度のレーザ出力が小さい場合を示す。No. 6の場合、活性層を構成するシリコン結晶粒の大きさは約0.5 $\mu\text{m}$ 程度で粒径も揃っている。チャネル領域内には1本の結晶粒界が存在する。しかし、結晶欠陥密度は非常に低い値に抑

えられるので、ON電流とOFF電流の要求値を満たすTFTを得ることができる。No. 7の場合には、得られる活性層の結晶粒径が小さく、結晶欠陥密度も高いため、所定の電流値の要求を満たすことができない。

【0053】また、No. 8は、LPCVD法による多結晶シリコン層を活性層として用いたTFTの特性を示している。この場合、活性層を構成する結晶粒径は150Å程度で微小である。このTFTは所定の電流値の要求を満たすことができない。

【0054】図2は本発明の一実施例によるTFTの電気的特性を従来例に重ねて示したものである。図2には、チャネル長0.8μm、チャネル幅0.4μmのTFTのドレイン電圧 $V_D = -3V$ を印加した場合のドレイン電流 $I_D$ とゲート電圧 $V_G$ の関係が示されている。本発明のTFTによれば、ゲート電圧 $V_G = -3V$ のとき(ON状態)のドレイン電流 $I_D$ は $-0.1\mu A$ ( $10^{-7}A$ )、ゲート電圧 $V_G = 0V$ のとき(OFF状態)のドレイン電流 $I_D$ は $-6fA$ ( $6 \times 10^{-15}A$ )である。これらの値は、ゲート幅1μmあたりに換算すれば、それぞれ、 $-0.25\mu A/\mu m$ 、 $-15fA/\mu m$ である。従来のTFTに比べて、本発明のTFTは高いON電流と低いOFF電流を示すことが理解される。

【0055】図3の(A)と(B)は、本発明の一実施例によるTFT負荷型完全CMOS・SRAMのメモリのそれぞれ、上層、下層の能動素子の平面的配置を示す平面図である。なお、本発明のSRAMのメモリの等価回路図は従来例を示す図83、図84と同一である。

【0056】図3(A)を参照して、上層では、活性層55の上にゲート絶縁膜を介在して、ゲート電極60が形成されている。ゲート電極60と重なっていない領域の活性層には、ボロン(B)が導入されてp型のソース・ドレイン領域55bが形成されている。ソース・ドレイン領域55bは多結晶シリコン層から形成される。これにより、pチャネルMOSTランジスタ(TFT)Q1、Q3が形成されている。上層の能動素子は、ゲート電極60が活性層55の上にあるトップゲート型構造を採用している。

【0057】他方、図3(b)に示されるように、下層では、半導体基板のp<sup>-</sup>領域内に活性層56が形成されている。活性層56の上にはゲート絶縁膜を介在して、ゲート電極71が形成されている。ゲート電極71と重なっていない領域の活性層には砒素(As)が導入することによりn<sup>+</sup>ソース・ドレイン領域56bが形成されている。このようにして、nチャネルMOSTランジスタQ2、Q4、Q5、Q6が形成されている。また、上下層を電氣的に接続するためにスルーホール51a、51b、52、53、54が設けられている。スルーホール52の領域において、ゲート電極60と活性層55は互いに重ならないように設けられている。

【0058】図4は図3のK-K線に沿った方向から見た断面を示す。図4を参照して、本発明のTFTが適用されたSRAMのメモリセルの一実施例の断面構造について説明する。下層の構造は従来例(図86)と同様であるので簡単に説明する。シリコン単結晶基板1には活性層56を分離するように分離酸化膜21が形成されている。チャネル領域56aの上にはゲート絶縁膜41が形成されている。ゲート絶縁膜41の上にはゲート電極71が形成されている。ゲート電極71によって隔てられた活性層の領域にはn型のソース・ドレイン領域56bが形成されている。ゲート電極71の上には層間絶縁膜42が形成されている。層間絶縁膜42内にはスルーホール51a、51b、52、53、54が開口されている。各スルーホール内に導電膜81が形成されている。導電膜81は多結晶シリコン層とタングステンシリサイド層からなる。層間絶縁膜42の上に、スルーホール52の一部分とスルーホール51bの領域内を充填するように、チャネル領域内に結晶粒界を含まない厚み1000Åの多結晶シリコン層からなる活性層55が形成されている(図3参照)。活性層55中にAsが $3 \times 10^{18}/cm^2$ の注入量でイオン注入法で導入することにより、n型のチャネル領域55aが形成される。活性層55の上にはCVD法による厚み200Åの酸化膜からなるゲート絶縁膜43が形成されている。ゲート電極60は、層間絶縁膜42の上でスルーホール52の一部領域とスルーホール51aの領域内を充填するようにそれぞれ、形成されている。活性層55にはp型のソース・ドレイン領域55bが形成されている。ソース・ドレイン領域55bをLDD構造として構成する場合には、まず、ゲート電極60近傍のソース・ドレイン領域55b内にボロン(B)を10keVの注入エネルギーで $1 \times 10^{13}/cm^2$ の注入量でイオン注入することによりp<sup>-</sup>領域が形成される。その後、ゲート電極60の側壁に絶縁膜スペーサを形成した後、ボロン(B)を注入エネルギー10keVで注入量 $1 \times 10^{15}/cm^2$ でソース・ドレイン領域55bに注入することによりp<sup>+</sup>領域が形成される。このようにして、上層のpチャネルMOSTランジスタ(TFT)Q1、Q3が構成されている。

【0059】なお、図3の(A)でスルーホール52の領域でゲート電極60と活性層55が互いに重ならないように設けられるのは、活性層55と下層との電氣的接続を図るためである。活性層55内にソース・ドレイン領域55bを形成するためのイオン注入はゲート電極60の上方から行なわれる。そのため、スルーホール52の全領域内にゲート電極60が設けられていると、ボロンは、スルーホール52の領域内において、ゲート電極60の下に位置する活性層55まで達しない。その結果、活性層55と下層との電氣的接続が図れない。

【0060】上層のTFTを被覆するように、層間絶縁膜44が形成されている。スルーホール53、54を介

21

してソース・ドレイン領域56bに接続するようにアルミニウム配線層91が形成される。さらに、酸化膜からなる層間絶縁膜45がアルミニウム配線層91の上に形成される。層間絶縁膜45の上には、ワード線補強のためのアルミニウム配線層92が形成される。このようにして、本発明のTFT負荷型完全CMOS・SRAMのメモリセルが構成されている。

【0061】本発明のTFT(pチャネルMOSトランジスタ)Q1、Q3のON電流は0.1 $\mu$ A(図2)である。そのため、データの読出時において、“High”レベル側のノードのドライバトランジスタQ2(またはQ4)に1nAのサブスレッショルド電流が流れても、“High”レベルのノード側のpチャネルMOSトランジスタ(TFT)Q1(またはQ3)がサブスレッショルド電流より2桁大きいON電流(0.1 $\mu$ A)を供給することができる。したがって、半導体製造プロセスにおいて、素子寸法がばらつくことにより素子特性( $\beta$ 比)が変化しても、十分なマージンをもったメモリセルの読出動作が保証される。

【0062】また、データの書込時においても、“High”レベルのノードの電位を( $V_{cc}-V_{th}$ )から $V_{cc}$ まで充電するのに必要な時間 $t_1$ は、 $t_1=1fF \times 1V/0.1\mu A=10nsec(10^{-8}sec)$ となる。その結果、半導体メモリに要求される書込時間を十分満足する時間で本発明のSRAMのメモリセルにおけるデータの書込が可能となる。

【0063】さらに、本発明によるpチャネルMOSトランジスタ(TFT)Q1、Q3のOFF電流は6fA(図2)である。そのため、たとえば16メガビットのSRAMに本発明のTFTを適用すると、そのスタンバイ電流は0.1 $\mu$ A(=6fA $\times 2^{16}$ セル)となる。このようにSRAMのスタンバイ電流を1 $\mu$ A以下にすることができるので、低消費電力のSRAMが得られる。

【0064】なお、上記実施例ではTFT負荷型完全CMOS・SRAMとして、トップゲート型の構造(ゲート電極60が活性層55の上にある構造)を採用している。しかし、本発明のTFTとしてON電流が0.25 $\mu$ A/ $\mu$ m以上で、OFF電流が15fA/ $\mu$ m以下を満足するのであれば、本発明のTFTをボトムゲート型構造(ゲート電極60が活性層55の下にある構造)に

してSRAMに適用しても同様の効果を奏する。

【0065】次に、本発明のTFTの活性層として用いられる半導体薄膜の製造方法A～Hの各々について説明する。

【0066】A. シリコンイオンを多結晶シリコン層に注入することによって一部領域の結晶核発生密度を減少させてから単結晶を固相成長させる方法

実施例A1

図5～図7は半導体薄膜の製造方法Aの第1実施例による工程を順に示す平面図である。図5を参照して、多結

22

晶シリコン領域に注入エネルギー100keV、注入量 $2 \times 10^{15}/cm^2$ でシリコンがイオン注入されることにより、結晶核発生密度の大きい非晶質領域102が形成される。また、注入エネルギー100keV、注入量 $5 \times 10^{15}/cm^2$ でシリコンがイオン注入されることにより、結晶核発生密度の小さい非晶質領域101が形成される。このようにして、チャネル領域103内の結晶核発生個数が1個以下にされる。

【0067】その後、この非晶質シリコン膜が温度600℃の窒素雰囲気中で5時間程度、熱処理される。その熱処理中において固相成長の途中で図6に示すように、シリコン単結晶の核104は結晶核発生密度の大きい領域102内で多数個発生する。また、結晶核発生密度の小さい領域101ではチャネル領域103内に1個の核104が発生する。

【0068】固相成長が終了すると、非晶質シリコンがすべて結晶化し、図7に示すように結晶粒界105で区切られた多数個の結晶粒が形成される。チャネル領域103内では1個の核104から結晶成長が起こるため、チャネル領域103全域を占める単結晶シリコンが形成される。

【0069】実施例A2

図8～図9は本発明の半導体薄膜の製造方法Aの第2実施例を工程順に示す平面図である。図8を参照して、非晶質シリコン薄膜において実施例A1と同様に結晶核発生密度の小さい領域101と結晶核発生密度の大きい領域102が形成される。結晶核発生密度の小さい領域101はチャネル領域103を含む。結晶核発生密度の小さい領域101のうち、チャネル領域103の外側の領域の大きさ $y$ は、チャネル領域103の短辺 $x$ に対して $y \geq x$ となるように設定される。

【0070】その後、非晶質シリコン薄膜に実施例A1と同様の熱処理が施されることにより、固相成長が起こる。このとき、図9に示すように、結晶核発生密度の小さい領域101で発生した核104の位置がチャネル領域103の外に存在する場合にも、結晶核発生密度の大きい領域102から結晶粒界105がチャネル領域103内へ侵入するのが抑制され得る。これは、結晶核発生密度の大きい領域102からチャネル領域103までの距離がチャネル領域103の短辺に対して十分大きく設定されているからである。このようにして、成長した結晶はチャネル領域103全域に及び、チャネル領域103全域において単結晶シリコン薄膜が形成される。

【0071】B. 傾斜形状の側壁を有するアモルファスシリコン薄膜から単結晶シリコンを固相成長させる方法

実施例B1

図10は本発明の半導体薄膜の製造方法Bの第1実施例を工程順に示す断面図である。図10の(A)を参照して、絶縁基板202上にアモルファスシリコン薄膜203が形成される。アモルファスシリコン薄膜203はS

23

$i_2$   $H_6$  /  $N_2$ の混合ガスを用いて温度450℃で形成される。この混合ガス比を調整することにより、100～8000Åの範囲の膜厚を有するアモルファスシリコン薄膜を形成することは可能である。この実施例では、膜厚2000Åのアモルファスシリコン薄膜203が形成される。

【0072】図10の(B)を参照して、アモルファスシリコン薄膜203の上でTF Tのチャネル領域に相当する領域にパターンニングされたレジスト膜208が形成される。このレジスト膜208の大きさは、本来、TF Tのチャネル領域となるべき面積よりも大きい。たとえば、レジスト膜208の大きさは、縦と横の幅がそれぞれ0.3μm程度大きくになっている。つまり、チャネル長0.8μm、チャネル幅0.4μmのTF Tを形成する場合、レジスト膜208の大きさは1.1μm×0.7μmである。

【0073】次に、図10の(C)に示すように、レジスト膜208をマスクとして用いて、アモルファスシリコン薄膜203がHC 1系のプラズマガス雰囲気中でレジスト後退法により、傾斜形状の側壁が形成されるようにパターンニングされる。この側壁の傾斜角度は、小さな角度であるほど好ましい。たとえば、側壁の傾斜角度は45度になるようにアモルファスシリコン薄膜203はパターンニングされる。

【0074】図10の(D)に示すように、側壁面が傾斜形状になるようにパターンニングされたアモルファスシリコン薄膜203を窒素雰囲気中で温度600℃で12時間、熱処理する。アモルファスシリコンを熱処理し、結晶質化する過程において、熱処理されるアモルファスシリコンの膜厚と形成される多結晶シリコンの結晶化速度との間には相関関係が存在する。たとえば、膜厚2000Åのアモルファスシリコンを温度600℃で熱処理する場合、3時間で100%結晶化し、その結晶粒径は1.2～1.5μmである。また、膜厚500Åのアモルファスシリコンを温度600℃で12時間熱処理すると、アモルファスシリコンは100%結晶化する。つまり、傾斜側壁部を有するアモルファスシリコン薄膜を熱処理する場合、アモルファスシリコン薄膜の中央部の結晶成長速度は速く、傾斜側壁部の結晶成長速度は遅い。したがって、図10の(D)に示すように、中央部

には結晶粒界のない多結晶シリコン薄膜207が形成され得る。

【0075】以上の実施例B1において、用いられるレジストパターンの寸法はTF Tのチャネル面積より縦横の寸法が0.3μm大きなものを用いている。これは、チャネル領域を形成するための写真製版工程で、パターンニングされた多結晶シリコン薄膜に再びマスクを形成するときの重ね合せ寸法のずれを考慮したためである。図10の(D)に示すように、多結晶シリコン薄膜207の傾斜側壁部に結晶粒界を有するTF Tを形成する場合

24

には、上記のような大きなサイズのレジストパターンは必要ではない。また、側壁の傾斜角度は45度に設定したが、TF Tのチャネル領域内に結晶粒界を含まないようにアモルファスシリコンを結晶化できるのであれば、この角度に限定されない。上記実施例では、傾斜した側壁面を有する膜厚2000Åのアモルファスシリコン薄膜を温度600℃で12時間、熱処理しているが、膜厚2000Åの領域のみを結晶化させるのであれば、3時間の熱処理でもよい。

10 【0076】アモルファス状態とは、通常の固体結晶のような規則的な結晶構造を持たない状態である。ところが実際には、低温CVD法で堆積したアモルファスシリコンの中には、極微小な領域だけに限れば、「微小結晶核」と呼ばれるような規則的な結晶構造が存在しているため、完全なアモルファス状態とはいえない。このようなアモルファスシリコンを固相成長法を用いて単結晶シリコンにする場合には、主にこの微小結晶核から核発生してシリコン結晶は成長する。もし、固相成長の熱処理中に、ある領域内に1個しか核発生しなければ、この領域を1個の単結晶シリコンから構成することができる。

20 【0077】微小結晶核を減らす方法として、シリコンをイオン注入して、微小結晶核の結合を切断し、規則的な構造を壊す方法が知られている。R. B. Ivers on and R. Reif J. Appl. Phys. 62(5), 1 September 1987, p. 1675～1681では、シリコンをイオン注入することによって、アモルファスシリコン中の結合の状態を変えることができると報告されている。本発明の半導体薄膜の製造方法の実施例B2においては、上述のことを利用して結晶粒界の発生位置が制御される。

30 【0078】実施例B2

図11～図14は、本発明の半導体薄膜の製造方法Bの第2実施例を工程順に示す断面図である。図11を参照して、半導体基板201の上に絶縁膜202が形成されている。絶縁膜202の上にアモルファスシリコン薄膜203が膜厚2000Åで実施例B1と同様に形成される。図11には、レジスト膜208をマスクとして用いてアモルファスシリコン薄膜203がエッチングされた状態が示されている。レジスト膜208を除去する前に、アモルファスシリコン薄膜203のパターンの周辺部だけに注入エネルギー100keVで法線方向に対して30度の回転斜め注入(矢印214)でシリコンイオンが $3 \times 10^{15} / \text{cm}^2$ 程度の注入量で注入される。これにより、アモルファスシリコン薄膜203の周辺部212中の微小結晶核をなくすることができる。また、シリコンがイオン注入されていない中央部203においては、固相成長中に1個だけしか核発生しない状態が実現され得る。図21はアモルファスシリコン薄膜の領域を上から見た平面図である。図21に示すように、アモルファスシリコン薄膜の全面積を $S \text{ cm}^2$ 、アモルファスシリ

50

25

コン自体の核発生密度を $\rho/\text{cm}^2/\text{min}$ 、シリコンがイオン注入された領域を $\Delta S\text{cm}^2$ 、シリコンがイオン注入された領域の核発生密度を $0/\text{cm}^2/\text{min}$ 、固相成長の熱処理時間を $T\text{min}$ とした場合、 $\rho T(S-\Delta S) < 1$

となるように、 $\Delta S$ を決めればよい。 $\Delta S$ は、回転斜め注入角度と注入エネルギーによって決定することができる。

【0079】たとえば、面積 $S=0.32\mu\text{m}^2$ （縦 $0.8\mu\text{m}$ 、横 $0.4\mu\text{m}$ ）、核発生密度 $\rho=3\times 10^6/\text{cm}^2/\text{min}$ のアモルファスシリコンを、 $T=180\text{min}$ で処理して固相成長させる場合、上の式より、 $\Delta S>0.11\mu\text{m}^2$ でなければならない。注入エネルギー $100\text{keV}$ のとき、シリコンイオンの飛程は約 $0.20\mu\text{m}$ である。この注入エネルギーで、注入角度 $30$ 度で回転斜め注入を行なえば、アモルファスシリコンの周辺部に、幅約 $0.1\mu\text{m}$ のシリコン注入された領域が形成される。このとき、 $\Delta S=0.2\mu\text{m}^2$ であり、上の式を満足している。

【0080】次に、図12を参照して、レジスト膜208を除去し、固相成長の熱処理が開始された状態が示されている。微小結晶核206が成長し始めている。この場合の熱処理温度は $600^\circ\text{C}$ 程度に設定する。その後、図13に示すように、結晶成長が行なわれ、微小結晶核206は大きな結晶207に成長する。最後に、アモルファスシリコンの領域が図14に示すように、単結晶シリコン207で埋め尽くされる。

【0081】なお、面積 $S$ と核発生密度 $\rho$ が大きく、上の式を満足することが難しい場合、アモルファスシリコン領域全体に予めシリコンをイオン注入（たとえば、 $1\times 10^{15}/\text{cm}^2$ 程度の注入量）し、 $\rho$ を小さくしておけばよい。

#### 【0082】実施例B3

この実施例は、実施例B1に実施例B2を適用した場合を示す。図15～図17は本発明のシリコン薄膜の製造方法Bの第3実施例を工程順に示す断面図である。図15を参照して、絶縁膜202の上にアモルファスシリコン薄膜209が形成されている。レジスト膜208をマスクにしてアモルファスシリコン薄膜209の領域が絶縁膜202に近付くにつれて広くなるようにエッチングされた状態が示されている。すなわち、アモルファスシリコン薄膜209の側壁面は傾斜形状を有する。レジスト膜208を除去する前に、矢印205で示されるようにシリコンイオンがアモルファスシリコン薄膜209の周辺部に注入される。これにより、アモルファスシリコン薄膜209の周辺部の微小結晶核をなくすことができる。

【0083】図16を参照して、レジスト膜208が除去され、固相成長の熱処理が開始された状態が示されている。実施例B2の式を満たすように、レジスト膜20

26

8の大きさと、テーバエッチングの度合を設定してやると、アモルファスシリコン薄膜209の領域中に核発生が1個のみの状況を作ることができる。このようにして、固相成長を行なうと、最後に図17に示すように、微小結晶核206が成長して単結晶シリコン207になる。

【0084】上記の実施例B3で、万が一、アモルファスシリコン薄膜の周辺部で核が発生したとしても、周辺部では結晶成長速度が遅いので、この核による結晶粒の粒界が中央部に達することはない。これは、アモルファスシリコンを固相成長させて単結晶シリコンを作る場合、核発生密度と並んで重要なこととして、結晶成長速度のファクターが存在するからである。結晶成長速度については、アモルファスシリコンの膜厚が厚いほど、大きくなることが鋭意研究の結果わかっている。なお、周辺部に形成された小さな結晶粒が問題になるような場合には、ウェットエッチング、あるいは表面酸化等で除去すればよい。

#### 【0085】実施例B4

図18～図20は本発明の半導体薄膜の製造方法Bの第4実施例を工程順に示す断面図である。図18を参照して、絶縁膜202の上にはアモルファスシリコン薄膜210が形成される。このアモルファスシリコン薄膜210の領域は、逆テーバエッチングによって絶縁膜202に向かうほど小さくなるように形成されている。すなわち、アモルファスシリコン薄膜210は傾斜された側壁面を周辺部に有する。

【0086】図19を参照して、アモルファスシリコン薄膜に熱処理を施すことにより、固相成長が開始した状態が示されている。アモルファスシリコン中の微小結晶核は、酸化膜とアモルファスシリコンの界面に特に多く存在することが鋭意研究の結果わかっている。そのため、アモルファスシリコン薄膜210と絶縁膜（酸化膜）202とが接する領域211を、アモルファスシリコン薄膜210の逆テーバエッチングによって小さくしてやると、周辺部213から核発生することがなく、中央部に発生した核206のみが成長する。このようにして、図20に示すように、中央部に発生した核206を単結晶シリコン207に成長させることができる。この実施例B4では、特にシリコンをイオン注入することによってアモルファスシリコン薄膜の周辺部の核発生密度を小さくすることなく、その領域全体を単結晶にすることができる。なお、逆テーバにエッチングされたアモルファスシリコン薄膜の形状は、テーバエッチングにより酸化膜に形成された溝にアモルファスシリコンを堆積して埋込み、酸化膜とアモルファスシリコンとの界面までエッチバックした後、ウェットエッチングにより酸化膜を除去すること等の方法で形成され得る。

【0087】C. アモルファスシリコンの一部領域に水素またはフッ素のイオンを注入することにより微小核を

27

発生させ、その領域以外の核発生密度の小さい領域を固相成長させて単結晶化する方法

図22は本発明の半導体薄膜の製造方法Cの一実施例を工程順に示す断面図である。図22の(A)を参照して、半導体基板301の上に酸化膜302が形成される。酸化膜302の上にはアモルファスシリコン膜308が、たとえば、LPCVD法により温度450℃でジシラン( $\text{Si}_2\text{H}_6$ )ガスを用いて形成される。その後、図22の(B)で示されるようにアモルファスシリコン膜308のチャネル領域に相当する部分の上にレジスト膜309が形成される。このレジスト膜309をマスクとして用いて、水素イオンまたはフッ素イオンが矢印310で示されるように数keVの注入エネルギーで、 $1.0 \times 10^{15}/\text{cm}^2$ 程度の注入量で選択的にアモルファスシリコン膜308に注入される。レジスト膜309を除去した後、たとえば600℃程度の温度で窒素雰囲気中で熱処理が施されることにより、核発生密度が高い領域307では小さな結晶粒304が多数個でき、チャネル領域に相当する部分306内では大きな結晶粒311が形成される。このように、図22の(C)に示すようにチャネル領域306内では粒界305が存在せず、1つの結晶粒311がその領域を占有することができる。

【0088】D. アモルファスシリコンに電子線を照射することにより微小結晶粒の発生位置を制御し、固相成長により単結晶化する方法

図23～図27は本発明の半導体薄膜の製造方法Dの一実施例を工程順に示す断面図である。図23を参照して、半導体基板401の上に絶縁膜402が形成されている。絶縁膜402の上にはアモルファスシリコン膜403が2000Å程度の膜厚で形成されている。レジスト膜をマスクにして、領域404にシリコンイオンを140keVの注入エネルギーで $1 \times 10^{16}/\text{cm}^2$ 程度の注入量で注入することにより、アモルファスシリコン膜中に存在する微小結晶核を破壊する。これにより、領域404内の核発生密度は1個以下にされる。

【0089】その後、図24に示すように、アモルファスシリコン膜の領域404の表面中央部分に電子線405が照射位置を制御して照射される。これにより、アモルファスシリコンが溶かされ、固相成長時のシリコンの微小結晶核406が形成される。このとき、照射される電子線の直径は0.05μmに絞られており、注入エネルギーは10keV、電流は50μA(出力0.5W)、照射時間は1nsec/1点である。

【0090】図25は固相成長の熱処理が開始された状態を示している。電子線405の照射によって形成された領域404内での唯一の微小結晶核406をもとに、単結晶シリコンが成長し始めている。熱処理の温度は600℃程度に設定される。その後、図26に示すように、微小結晶核406は単結晶シリコン407に成長す

28

る。最後に図27に示すように領域404を占有する単結晶シリコン407が形成される。領域404以外のアモルファスシリコンは多結晶シリコン408になる。

【0091】なお、上記実施例では、核発生のために電子線を照射したが、核を発生できる荷電粒子であれば何でもよい。

【0092】E. アモルファスシリコンに部分的に圧縮応力を加えることにより結晶成長速度を制御して単結晶化させる方法

実施例E1

図28～図33は本発明の半導体薄膜の製造方法Eの第1実施例を工程順に示す断面図である。図28を参照して、絶縁膜としての厚いシリコン酸化膜(熱酸化膜)501の上にアモルファスシリコン膜502が形成される。このアモルファスシリコン膜502はプラズマCVD法等により、温度 $T_1$ (400～600℃)で形成される。たとえば、アモルファスシリコン膜502はジシラン( $\text{Si}_2\text{H}_6$ )を原料ガスとして用いて温度450℃で形成される。図29を参照して、アモルファスシリコン膜502の上にシリコン酸化膜503aが形成される。このシリコン酸化膜503aはアモルファスシリコンの単結晶化温度 $T_3$ (通常600℃以上)よりも低い温度 $T_2$ で内部応力が蓄えられる条件で形成される。

【0093】その後、図30に示すように、アモルファスシリコン膜502の単結晶化させるべき領域の周辺部にのみ、レジスト膜504がシリコン酸化膜503aの上に形成される。図31を参照して、レジスト膜504をマスクとして用いて、シリコン酸化膜503aをパターニングすることにより、シリコン酸化膜503bが形成される。その後、レジスト膜504が除去される。

【0094】次に、図32に示すように、シリコン酸化膜503bがアモルファスシリコン膜502の上に付着した状態で、温度 $T_3$ で熱処理が施される。アモルファスシリコン膜502は全体的に単結晶化しようとするが、シリコン酸化膜503b中に蓄えられた内部応力が熱処理によって解放されるため、シリコン酸化膜503bによって覆われていないアモルファスシリコン膜502の領域ではその応力解放の影響を受ける。そのため、逆にアモルファスシリコン酸化膜502中に矢印507で示されるように内部応力(圧縮応力)が加わる。その結果、シリコン酸化膜503bによって覆われていないアモルファスシリコン膜502の領域の単結晶化が促進される。このようにして、図33に示されるように、シリコン酸化膜503bによって覆われていない領域に単結晶シリコン膜505が形成され、シリコン酸化膜503bによって覆われた領域に多結晶シリコン膜506が形成される。

【0095】図29において、内部応力がシリコン酸化膜503aに蓄えられる条件の例としては次のような場合が考えられる。相対密度ρまたは内部応力Sが、パタ

20

30

40

50



ーニングされたシリコン酸化膜503bの下で図40 (A) または (C) のような分布を示す。

【0096】(I)  $T_2 < T_1 < T_3$  の場合。シリコン酸化膜503aの成長は下地のアモルファスシリコン膜502の影響を受けると同時に、相対的にアモルファスシリコン膜の形成温度よりも低いので、シリコン酸化膜503aには内部応力がたまりやすくなる。その結果、アモルファスシリコン膜の下地である熱酸化膜501中の内部応力 $S_1$ 、アモルファスシリコン膜502の内部応力 $S_2$ 、アモルファスシリコン膜502上のCVDシリコン酸化膜503a中の内部応力 $S_3$ の関係は、図40の(A)における $S_2 < S_1 < S_3$  または図40の(C)の $S_1 < S_2 < S_3$  のいずれかになる。いずれの場合においても、内部応力の関係は $S_2 < S_3$  の関係にある。

【0097】(II) CVDシリコン酸化膜503aが非化学量論的組成になっており、相対密度がアモルファスシリコン膜502の相対密度よりも大きい場合。

【0098】アモルファスシリコン膜は化学量論的には単一元素よりなる。しかし、アモルファスシリコン膜の結晶格子は大きく乱れているために、同じ原子数からなる単結晶シリコン膜と体積を比較すると、格子の乱れ方にある程度比例して体積が大きくなる。そのため、アモルファスシリコン膜の密度は単結晶シリコン膜の密度に比べて小さくなる。したがって、アモルファスシリコン膜の相対密度 $\rho_2$ はわずかではあるが、 $\rho_2 < 1$ の関係にある。また、多くの場合、アモルファスシリコンはシリコン水素化合物または水素雰囲気中の化学反応により形成されるので、その組成は $Si:H$ と化学式で示されるように水素を含み、その相対密度は1より小さい。一方、化学量論的なシリコン酸化膜は化学式 $SiO_2$ で示されるように、 $Si$ と $O$ の構成比が1対2となっている。しかしながら、シリコン酸化膜が単結晶シリコンの熱酸化によって形成されるような平衡系の反応以外の条件下で形成される場合には、 $SiO_x$  ( $x$ は2ではない)の組成を持つ非化学量論的なものとなる。ここで、 $N_2O$ 、 $SiH_4$ 系のプラズマCVD法による膜形成の場合のように $x < 2$ であれば、シリコンが過剰状態にあり、そのシリコン酸化膜の相対密度は1より大きくなる。このとき、図40の(A)の $\rho_2 < \rho_1 < \rho_3$  または図40の(C)の $\rho_1 < \rho_2 < \rho_3$  の場合にあたり、(I)の場合と同様に $\rho_2 < \rho_3$ の関係になる。

【0099】このように、上記(I)(II)の少なくともいずれかの条件下で、シリコン酸化膜503aを形成した場合には、シリコン酸化膜503bによって覆われていない領域のアモルファスシリコン膜502中に、固相成長時の熱処理中に上述の圧縮応力が発生する。これにより、その該当部分の単結晶化が、圧縮応力が存在しない場合に比べて促進される。

【0100】また、上記説明では、単結晶化という表現

を用いているが、アモルファスシリコン相が多結晶体へと転移する場合も広い意味での単結晶化である。したがって、圧縮応力の存在によって単結晶化が促進されることにより、多結晶化する場合でも、多結晶体を構成する各々の結晶粒が、通常の圧縮応力が存在しない場合に比べて急速に成長するため、各々の粒径が比較的大くなり、単位体積あたりの粒界面積が減少する。

#### 実施例E2

図34～図39は本発明の半導体薄膜の製造方法Eの第2実施例を工程順に示す断面図である。図34を参照して、熱酸化膜からなる絶縁膜501の上にアモルファスシリコン膜502がプラズマCVD法により温度 $T_1$ で形成される。図35に示すように、アモルファスシリコン膜502の上に、後の熱処理工程で収縮しやすいCVDシリコン酸化膜503cが温度 $T_2$ で形成される。このときの温度条件は、実施例E1の条件(I)に対応するものとして、 $T_1 < T_2 < T_3$ となる。この温度条件を条件(III)とする。

【0101】図36に示すように、アモルファスシリコン膜502の単結晶化されるべき領域にのみ、レジスト膜504がCVDシリコン酸化膜503cの上に形成される。その後、図37に示すように、レジスト膜504をマスクとして用いてCVDシリコン酸化膜503cがエッチングされることにより、CVDシリコン酸化膜503dが形成される。そして、レジスト膜504が除去される。

【0102】図38に示すように、パターニングされたCVDシリコン酸化膜503dがアモルファスシリコン膜502の上に付着された状態で、温度 $T_3$ で熱処理が施される。これにより、パターニングされたシリコン酸化膜503dが収縮し、下地のアモルファスシリコン膜502中に圧縮応力が誘起される。その結果、圧縮応力が誘起された部分の単結晶化または単結晶体の粒径の拡大が促進される。図38において圧縮応力の発生は矢印507で示されている。このようにして、図39に示されるように単結晶シリコン膜505と多結晶シリコン膜506とが形成される。

【0103】また、図35における条件(III)の下では、各膜中の内部応力の関係は、図40の(B)の $S_3 < S_2 < S_1$  または図40の(D)の $S_1 < S_3 < S_2$  のいずれかである。いずれの場合においても、内部応力の関係は $S_3 < S_2$  である。

【0104】さらに、実施例E1の(II)の条件に対応する条件(IV)は、CVDシリコン酸化膜503cが比較的高い温度で減圧CVD法により形成され、酸素成分が過剰の $SiO_x$  ( $x > 2$ )から構成され、その相対密度はアモルファスシリコン膜502の相対密度よりも低い場合である。この場合も、各膜の相対密度の関係が図40の(B)の $\rho_3 < \rho_2 < \rho_1$  または図40の(D)の $\rho_1 < \rho_3 < \rho_2$  のいずれかである。いずれに

しても、相対密度の関係は必ず  $\rho_3 < \rho_2$  となる。

【0105】このように実施例E2の場合も実施例E1と同様の効果を奏する。上記の説明においては、SRAMに適用されるTFTの製造工程を念頭において説明したが、上記の製造方法はあらゆる構造の半導体装置の製造工程にも適用可能である。

【0106】また、図41は、図31または図37に対応する別の工程を示す断面図である。図41に示すように、シリコン酸化膜503eは、金属マスク509によって原料ガスの流れ508が遮られることにより、アモルファスシリコン膜502の上に選択的に形成される。このように、原料ガスの流れを部分的に遮蔽しながら、シリコン酸化膜503eを形成すれば、シリコン酸化膜503eのアモルファスシリコン膜502上への選択的な形成が可能になる。

【0107】なお、上記実施例では、半導体膜の材料としてシリコンを想定しているが、上記実施例の製造方法は、シリコン以外にGe、C（ダイヤモンド、グラファイト等）などの単一材質のものでも、SiGe、SiC、TiCに代表されるIV-IV族化合物半導体材料、GaAs、GaP、InPに代表されるIII-V族化合物半導体材料、CdTeに代表されるII-VI族化合物半導体材料、AsSe、HgCdTe、InGaAsPのような二元以上の元素からなる半導体材料等、いかなる組成の化合物半導体にも適用される。また、上記の製造方法は、多結晶、微結晶およびそれらのいかなる混合物等のいかなる状態の半導体材料でも同様の効果を奏する。また、p型、n型、真性半導体のいずれの場合にも上記の製造方法は同様の効果を奏する。

【0108】さらに、アモルファスシリコン膜の製造方法は、固相成長により単結晶になるか、または単結晶に近い性質を持つようになるものを形成できるのであれば、プラズマCVD、ECR（Electron Cyclotron Resonance）CVD、光CVD、スパッターデポジション、蒸着、液相成長、貼り合わせ、電子ビーム蒸着、分子線蒸着、クラスタイオンビーム蒸着等、いかなる手段でもよく、特に限定されるものではない。

【0109】また、基板として用いられる絶縁膜501としてシリコン酸化膜の例について説明しているが、これに限定されるものではなく、いかなる材質の絶縁膜でもよい。

【0110】さらに、内部応力を発生させる膜としてCVDシリコン酸化膜が上記実施例では用いられているが、固相成長時の熱処理工程により内部応力や体積や形状に変化が生じる性質を有するものであれば、いかなる種類の半導体材料でも絶縁性材料でも金属材料でも半金属材料でもよい。

F. アモルファスシリコン領域と多結晶シリコン領域とを微小部分で接触させることにより、その接触部の多結晶シリコン領域の結晶粒を核として固相成長させて単結

晶化させる方法

図42は本発明の半導体薄膜の製造方法Fの一実施例を工程順に示す平面図である。図42の(A)を参照して、多結晶シリコン領域601に対してレジスト等によりマスクを形成した状態で、たとえば100keVの注入エネルギーで $5 \times 10^{15} / \text{cm}^2$ の注入量でシリコンがイオン注入される。これにより、イオン注入された領域にアモルファスシリコン領域603が形成される。このとき、シリコンがイオン注入されなかった領域602は多結晶シリコンのままである。多結晶シリコンの領域602の先端部は、TFTのチャネル領域604に対して接触した位置関係になるようにされる。なお、多結晶シリコンの膜厚は1000Åである。

【0111】次に、温度600℃で熱処理が施されることにより、アモルファスシリコンの固相成長が行なわれる。これにより、図42の(B)に示すように、アモルファスシリコン領域603と多結晶シリコン領域602との境界が直線的である部分には、ほぼ大きさの揃った結晶粒606がその境界部から一様に成長する。これに対して、多結晶シリコン領域602の先端部分では、結晶成長しようとする核が単一となるため、他の部分に比べて大きな結晶粒605が成長する。

【0112】さらに熱処理を続けると、アモルファスシリコン領域603内でもランダムに核が発生し、結晶粒607が成長し始める。しかしながら、多結晶シリコン領域602の先端部で単一核から発生した結晶粒605はさらに大きくなり、チャネル領域604の大部分を占有するように成長する。このとき、この大粒径になった結晶粒605内にチャネル領域604の全体を含めるように制御することにより、形成されるTFTのOFF電流を低減させるとともにON電流を高めることが可能となる。

【0113】なお、上記実施例では、多結晶シリコン領域602の突起部の形状を三角形にしているが、図43の(A)に示すように、矩形の突起部の先端のみに三角形形状を付加したものや、図43の(B)に示すように極端に幅の狭い多結晶シリコン領域を形成しても、その境界部において単一の核を結晶成長させることが可能である。

G. 部分的に結晶核を残留させて固相成長させ、単結晶化する方法

実施例G1

図44は本発明の半導体薄膜の製造方法Gの第1実施例を工程順に示す断面図である。図44の(A)を参照して、シリコン基板701の上にシリコン酸化膜702が形成される。シリコン酸化膜702の上には膜厚の異なる部分を含むアモルファスシリコン層が形成される。たとえば、厚み1000Åのアモルファスシリコン層703と厚み2000Åのアモルファスシリコン層703aがシリコン酸化膜702の上に形成される。

【0114】その後、図44の(B)に示すように、アモルファスシリコン層内に結晶核を発生させるために、アモルファスシリコン層全体が結晶化しない程度の短時間の熱処理が行なわれる。たとえば、温度620℃で2時間程度の熱処理がアモルファスシリコン層に施される。この熱処理により、結晶核705が発生する。このとき、熱処理温度、熱処理時間は厚い膜厚のアモルファスシリコン層703aに結晶核が1つだけ発生するように調整される。

【0115】次に図44の(C)に示すようにレジスト膜741をマスクとして厚い膜厚のアモルファスシリコン層の部分703aのみが残るようにエッチングされる。レジスト膜741が除去された後、600℃程度の温度で数時間、熱処理が施されることにより、結晶核が成長する。これにより、図44の(D)に示すように、大きな結晶粒からなる単結晶半導体層706が形成される。第1の熱処理で発生した結晶核以外の結晶核が、この第2の熱処理で形成されるのを避けるため、第2の熱処理温度を第1の熱処理温度以下に設定することが好ましい。

#### 実施例G2

図45は本発明の半導体薄膜の製造方法Gの第2実施例を工程順に示す断面図である。図45の(A)に示すように、シリコン基板701の上にシリコン酸化膜702が形成される。シリコン酸化膜702の上にはアモルファスシリコン層が形成される。このアモルファスシリコン層に第1の熱処理を施すことにより、多結晶シリコン層707が形成される。多結晶シリコン層707には結晶粒界710が存在する。

【0116】図45の(B)に示すように、レジスト膜704が選択的に多結晶シリコン層707の上に形成される。図45の(C)に示すように、このレジスト膜704をマスクとして用いて、シリコンイオン等の半導体イオンが矢印720に示されるようにレジスト膜704の直下以外の領域に注入される。これにより、レジスト膜704の直下の領域に結晶核705が残留する。レジスト膜704の直下以外の領域はアモルファスシリコン領域703になる。イオン注入はウェハに対して垂直に行なわれてもよく、回転斜め注入法によってウェハに対して傾斜された角度で行なわれてもよい。

【0117】レジスト膜704を除去した後、第2の熱処理が施されることにより、残留させられた結晶核705が成長する。これにより、図45の(D)に示すように、大きな粒径を有する結晶からなる半導体層706が形成される。半導体層706は結晶粒界710を有する。第2の熱処理温度は、核発生を抑える意味でできるだけ低い温度が有効と考えられるが、熱処理時間との関係を考慮して設定される。

【0118】レジスト膜704の大きさは最小寸法程度の微小なものが好ましい。形成される結晶粒のサイズは

アモルファスシリコン層の厚みに依存する。そのため、一概には言えないが、トランジスタのチャネル領域を単結晶シリコン層から構成するために、必ずしもレジスト膜704の位置とトランジスタのチャネル領域とを一致させる必要はない。図46は、レジスト膜704とチャネル領域740との位置関係を示す平面図である。たとえば、アモルファスシリコン層の厚みを0.2μmとすれば、形成される結晶粒の粒径は~2μm程度となることを考慮すれば、1つの結晶粒750に対して図46に示すようにチャネル領域740とレジスト膜704の位置を配置しても、チャネル領域740は単結晶から構成され得る。

#### 実施例G3

図47は本発明の半導体薄膜の製造方法Gの第3実施例を工程順に示す断面図である。図47の(A)に示すように、シリコン基板701の上にシリコン酸化膜702が形成されている。このシリコン酸化膜702の上に多結晶シリコン層707が形成される。次に図47の

(B)に示すように多結晶シリコン層707の上に選択的に反射防止膜708が形成される。この反射防止膜708はシリコン酸化膜やシリコン窒化膜等で形成される。また、反射防止膜708の厚みは、後工程で行なわれるイオン注入のマスクとしても用いられるように設定するのが好ましい。この反射防止膜708をマスクとして用いてレーザー光が矢印730で示されるように多結晶シリコン層707に照射される。これにより、反射防止膜708の下とその近傍が選択的に加熱される。レーザー光の出力を調整することにより、反射防止膜708の直下とその近傍の結晶粒径を増加させることができる。この様子は図47の(C)に示される。すなわち、反射防止膜708の直下とその近傍には大きな粒径を有する結晶粒705が形成される。それ以外の領域には微小な結晶粒からなる多結晶シリコン層707が形成されている。

【0119】図47の(D)に示すように、反射防止膜708をマスクとして用いてシリコン等のイオンが矢印720で示されるように多結晶シリコン層707に注入される。これにより、反射防止膜708の直下以外の領域が非晶質化され、アモルファスシリコン層703が形成される。反射防止膜708の直下には結晶核705が残留する。このようにして、結晶核705の位置が制御される。その後、固相成長のための熱処理が施されることにより、大きな粒径を有する単結晶の半導体層が選択的に形成され得る。すなわち、図45の(D)に示すように結晶粒界710を有する半導体層706が形成される。

【0120】上記実施例においては、反射防止膜を用いた方法についてだけ述べているが、核形成をさせたくない領域にキャップ膜を形成することが必要な場合には、核形成をさせたくない領域の反射率が高くなるようにそ

35

の膜厚を設定すればよい。図48は図47の(B)の工程に対応して示す断面図である。多結晶シリコン層707の上には選択的にシリコン酸化膜781が形成されている。シリコン酸化膜781を覆うように多結晶シリコン層707の上にはシリコン窒化膜782が形成されている。このように、2種類の膜が多結晶シリコン層707の上に形成されれば、後工程のイオン注入時のマスクを形成しやすい。たとえば、アルゴンイオンレーザ(波長488nm)を用いる場合には、シリコン酸化膜781(厚みは100nm)とシリコン窒化膜782(厚みは110nm)からなる2層膜を用いると、2層の部分の反射率は約10%、シリコン窒化膜782(厚み110nm)だけの部分の反射率は35%となる。このように2種類の膜が多結晶シリコン層707の上に形成された状態で、レーザを照射することにより、シリコン酸化膜781の直下とその近傍のみの結晶粒径を増加させることができる。レーザ照射後、シリコン窒化膜782のみを除去すれば、シリコン酸化膜781はマスクとして残留する。そのため、このシリコン酸化膜781をマスクとして用いて後工程のイオン注入をセルフアライメントで行なうことができる。

H. 膜厚の異なる2つの部分からなるアモルファスシリコン層を固相成長させて単結晶化させる方法

図49は非晶質層の厚みと、その非晶質層から固相成長させて得られた結晶質層の結晶粒径との関係を示すグラフである。図49に示すように、非晶質層の厚みが大きいほど、結晶成長が速く、大きな結晶粒が形成されることが理解される。このことから、TFTのチャネル形成領域に相当するアモルファスシリコン層の膜厚を予め厚くしてから固相成長のための熱処理を施すことにより、チャネル形成領域の結晶粒を選択的に大きくすることが可能になる。その結果、チャネル領域を単結晶から構成することが可能になる。

【0121】図50～図53は本発明の半導体薄膜の製造方法Hの1つの実施例を工程順に示す断面図である。図50に示すように、シリコン基板801の上にシリコン酸化膜802が形成される。このシリコン酸化膜802の上にアモルファスシリコン層803が形成される。次に図51に示すように、レジスト膜804が選択的に間隔を隔ててアモルファスシリコン層803bの上に形成される。このレジスト膜804をマスクとしてアモルファスシリコン層803をエッチングすることによって膜厚の異なる部分がアモルファスシリコン層803に形成される。その後、レジスト膜804が除去されると、図52に示すように厚い膜厚を有する部分803aと薄い膜厚を有する部分803bがアモルファスシリコン層に形成される。アモルファスシリコン層に600℃程度の温度で数時間～数十時間、熱処理を施すことにより、図53に示すように、膜厚の厚い部分には粒径の大きな結晶層806が成長する。膜厚の薄い部分には多結晶層

36

807が成長する。多結晶層807は結晶粒界810を有する。

【0122】たとえば、厚い膜厚を0.2μmくらいにすれば、図49に示されるように、数μm径程度の結晶粒が成長する。ULSIレベルの半導体装置にその結晶層を使用する場合、トランジスタのサイズは数μm<sup>2</sup>程度、またチャネル領域のサイズは～1μm<sup>2</sup>程度であるので、膜厚の厚い部分の大きさをこれらのサイズと同程度にすれば、チャネル領域全体を単結晶で構成することが可能である。

【0123】また、本実施例の特徴は、図52に示された形状の非晶質層を形成した後、固相成長の熱処理を施すことである。したがって、別の方法によって図52に示された形状の非晶質層を形成してもよい。たとえば、図54に示すようにレジスト膜804をマスクとしてアモルファスシリコン層803を完全に島状に分離して形成する。その後、レジスト膜804を除去した後、第2のアモルファスシリコン層831をアモルファスシリコン層803の表面上を覆うように形成すれば、図55に示すように図52に示された形状のアモルファスシリコン層が形成され得る。

【0124】次に、以上の半導体薄膜の各製造方法A～HをSRAMのメモリセルにおけるpチャネルMOSTランジスタ(TFT)の活性層の製造に適用した場合について説明する。すなわち、図3と図4に示される本発明のSRAMのTFTの活性層55(55aと55b)の形成に上述の各製造方法A～Hを適用した場合のSRAMの製造方法について以下に説明する。

#### SRAMの製造方法の実施例1

この製造方法は半導体薄膜の製造方法Aを用いたSRAMの製造方法の一実施例である。図56～図64はSRAMの製造方法の実施例1を工程順に示す平面図(A)と断面図(B)である。断面図(B)は平面図(A)のB-B線に沿った方向から見た断面を示す。

【0125】図56を参照して、単結晶シリコン基板1をLOCOS法によって選択的に熱酸化することによって、活性領域56を分離するように厚み4000Åのシリコン酸化膜からなる分離用酸化膜21が形成される。このときの熱酸化処理温度は950℃である。

【0126】図57に示すように、温度850℃で熱酸化処理が施されることにより、膜厚100Åのシリコン酸化膜からなるゲート絶縁膜41がシリコン基板1の上に形成される。その後、ゲート絶縁膜41の上にゲート電極71が形成される。ゲート電極71は、リンを10<sup>20</sup>/cm<sup>3</sup>程度の濃度で含む膜厚1500Åの多結晶シリコン層と、その上にスパッタ法によって形成された膜厚2000Åのタングステンシリサイド(WSi<sub>2</sub>)層とからなる。ゲート電極71をパターニングした後、リンが注入エネルギー50keVで1×10<sup>13</sup>/cm<sup>2</sup>の注入量でシリコン基板1に選択的に注入される。その後、

37

ゲート電極71の側壁にCVD法によって酸化膜からなるサイドウォール22が形成される。サイドウォール22がゲート絶縁膜41と接している領域の幅は2000Åである。その後、砒素が注入エネルギー50keVで $2 \times 10^{15}/\text{cm}^2$ の注入量でイオン注入される。温度850℃で窒素雰囲気中で30分間の熱処理が施されることにより、LDD構造のn型ソース・ドレイン領域56bが形成される。ゲート電極71の直下のシリコン基板1の領域はチャネル領域56aとなる。

【0127】図58に示すように、CVD法による酸化膜が10000Åの膜厚で形成され、エッチバック法により約7000Åの厚みだけエッチングされることにより平坦化される。これにより、層間絶縁膜42が形成される。この層間絶縁膜42にはスルーホール51a、51b、52、53、54が開口される。

【0128】図59を参照して、スルーホール51a、51b、52、53、54内に厚み2000Åの多結晶シリコン膜が形成される。砒素が注入エネルギー50keV、注入量 $2 \times 10^{15}/\text{cm}^2$ で多結晶シリコン膜にイオン注入される。多結晶シリコン膜の上に膜厚2000Åのタングステンシリサイド層が形成される。スルーホール51a、51b、52、53、54、以外の領域に形成された多結晶シリコン膜とタングステンシリサイド層が除去される。これにより、導電膜81がスルーホール51a、51b、52～54内に形成される。その後、膜厚1000Åの酸化膜46が各スルーホール内を埋め込むようにCVD法によって形成される。

【0129】その後、スルーホール52、51bの領域上に形成された酸化膜46が除去される。膜厚2000Åの多結晶シリコン層が全面に形成される。図60に示されるように、この多結晶シリコン層の全面にシリコンイオンが注入エネルギー100keV、注入量 $2 \times 10^{15}/\text{cm}^2$ で注入されることにより、アモルファスシリコン層58が形成される。アモルファスシリコン層58の上には、チャネル領域に相当する部分の表面のみが露出するようにパターニングされたレジスト膜99が形成される。このレジスト膜99をマスクとして用いて、シリコンイオンが100keVの注入エネルギーで $5 \times 10^{15}/\text{cm}^2$ の注入量でアモルファスシリコン層58に注入される。これにより、pチャネルMOSトランジスタ(TFT)のチャネル領域に相当する部分に、シリコンの結晶核発生密度が小さくされたアモルファスシリコン層58aが形成される。レジスト膜99が除去される。温度600℃の窒素雰囲気中で5時間の熱処理が施されることにより、アモルファスシリコン層58aの領域が単結晶化する。

【0130】なお、図60から図64までの平面図(A)はスルーホールの位置より上方の部分のみが示されている。

【0131】図61に示すように、結晶化したシリコン

38

層を所定のパターンにしたがって除去することにより、活性層を構成する単結晶シリコン層59a(55a)と多結晶シリコン層59b(55b)が形成される。

【0132】図62を参照して、単結晶シリコン層59aと多結晶シリコン層59bを被覆するように、温度850℃でCVD法によって厚み200Åのシリコン酸化膜からなるゲート絶縁膜43が形成される。スルーホール52、51aの領域の上のシリコン酸化膜46が除去される。CVD法により、厚み2000Åの多結晶シリコン層が全面に形成される。砒素が注入エネルギー50keV、注入量 $4 \times 10^{15}/\text{cm}^2$ で多結晶シリコン層にイオン注入される。この多結晶シリコン層をパターニングすることにより、ゲート電極60が形成される。ゲート電極60をマスクとして用いて、ボロン(B)が注入エネルギー50keV、注入量 $2 \times 10^{14}/\text{cm}^2$ で多結晶シリコン層59bにイオン注入される。温度850℃の窒素雰囲気中で30分間、熱処理が施されることにより、pチャネルMOSトランジスタ(TFT)のp型ソース・ドレイン領域55bが形成される。

【0133】図63に示すように、全面にCVD法により酸化膜44が温度700℃で形成される。酸化膜44の膜厚が約3000Åになるように平坦化処理が施される。層間絶縁膜(酸化膜)44にスルーホール53、54が開口される。スルーホール53、54を充填するようにスパッタ法でアルミニウム配線層91が膜厚7000Åで層間絶縁膜44の上に形成される。このアルミニウム配線層91をパターニングすることにより、ビット線が形成される。

【0134】最後に図64に示すように酸化膜45がプラズマCVD法により温度300℃でビット線91の上に形成される。その後、図64には示されていないが、所定の領域でゲート電極71の表面を露出するようにスルーホールが開口される。そのスルーホールを通じてゲート電極(ワード線)71に接触するようにアルミニウム配線層92が膜厚8000Åで形成される。以上のようにして、本発明のTFTが適用されたSRAMのメモリセルが完成する。

【0135】なお、上記実施例の図60の工程において、図65に示すようにレジスト膜99がチャネル領域CHより大きな部分のアモルファスシリコン層58の表面を露出するようにパターニングされてもよい。

#### SRAMの製造方法の実施例2

この実施例は半導体薄膜の製造方法Bを用いたSRAMの製造方法の一実施例を示す。図66～図70はSRAMの製造方法を各工程順に示す平面図(A)と断面図(B)である。なお、実施例2の製造工程は実施例1の図56～図59までの製造工程については同様であるので、その後工程について以下に説明する。

【0136】図66を参照して、ジシラン( $\text{Si}_2\text{H}_6$ )ガスを原料ガスとして用いて温度450℃でC

VD法によりアモルファスシリコン層58が2000Åの膜厚で層間絶縁膜42の上に形成される。形成されるべきpチャネルMOSTランジスタ(TFT)のチャネル領域よりも周囲が0.1~0.2μm程度大きな領域にレジスト膜99はパターンニングされる。このとき、露光時間および現像時間を長くすることにより、レジスト膜99の側壁面がテーパ形状(傾斜形状)にされる。

【0137】図67に示すように、レジスト膜99をマスクとして用いて、アモルファスシリコン層58がエッチングされる。その後、レジスト膜99が除去される。このとき、レジスト膜99の側壁面が傾斜形状になっているので、アモルファスシリコン層58もその側壁面が傾斜形状になるようにエッチングされる。通常、ドライエッチング法によれば、レジストのエッチング速度はアモルファスシリコンのエッチング速度の2倍程度であるので、上記のレジスト膜99をマスクとして用いて傾斜側面を有するアモルファスシリコン層が得られる。その後、アモルファスシリコン層58の周辺部にシリコンイオンを注入してもよく、また図67の(B)に示されるアモルファスシリコン層58の側壁形状と逆の傾斜形状を形成してもよい。図67に示されるアモルファスシリコン層58の傾斜形状と逆の傾斜形状を形成する方法として、エッチング工程中、連続してエッチングガスの圧力を高くすることにより、エッチングガスをより横方向に多く供給して逆の傾斜形状を形成してもよい。

【0138】その後、アモルファスシリコン層58は温度600℃の窒素雰囲気中で5時間熱処理される。これにより、周辺領域を除いてアモルファスシリコン層58の中央領域は単結晶化する。なお、図67の傾斜形状と逆の傾斜形状を有するアモルファスシリコン層、または周辺領域にシリコンイオンを注入したアモルファスシリコン層58に上記の熱処理を施した場合には、アモルファスシリコン層58の全体が単結晶化する。

【0139】図68に示すように、単結晶シリコン層59aを覆うように層間絶縁膜42の上に多結晶シリコン層59bが膜厚1000Åで形成される。レジスト膜99が多結晶シリコン層59bの上に形成され、pチャネルMOSTランジスタ(TFT)のチャネル領域に相当する部分のみが開口するようにパターンニングされる。

【0140】図69に示すように、レジスト膜99をマスクとして用いて、単結晶シリコン層59a上の多結晶シリコン層59bがエッチング除去される。その後、レジスト膜99が除去される。

【0141】図70に示すように、所定のパターンに従って単結晶シリコン層59a(55a)と多結晶シリコン層59b(55b)が形成される。このようにして、pチャネルMOSTランジスタ(TFT)の活性層が形成される。

【0142】その後の製造工程は実施例1の図62~図64に従って行なわれる。

### SRAMの製造方法の実施例3

本実施例は半導体薄膜の製造方法Cを用いたSRAMのメモリセルの製造方法を示す。このSRAMのメモリセルの製造工程は実施例1の図56~図59までの製造工程については同様であるのでその説明を省略する。図71は実施例1の図59の製造工程に続く工程を示す平面図(A)と断面図(B)である。

【0143】図71を参照して、ジシラン( $\text{Si}_2\text{H}_6$ )ガスを原料ガスとして温度450℃でCVD法によってアモルファスシリコン層58が膜厚1000Åで層間絶縁膜42の上に形成される。pチャネルMOSTランジスタ(TFT)のチャネル領域に相当する部分のアモルファスシリコン層58の上にのみ、レジスト膜99が形成される。このレジスト膜99をマスクとして用いてアモルファスシリコン層58に水素イオンまたはフッ素イオンが注入エネルギー5keV、注入量 $1 \times 10^{15}/\text{cm}^2$ で注入される。その後、レジスト膜99が除去される。アモルファスシリコン層58に温度600℃の窒素雰囲気中で5時間の熱処理が施される。チャネル領域に相当する部分のアモルファスシリコン層58の核発生密度は小さいので、このチャネル領域に相当する部分が単結晶化する。シリコンイオン注入では、アモルファスシリコン中に存在する微小核を破壊してアモルファスシリコンの核発生密度を減少させる効果がある。これに対して、水素イオンまたはフッ素イオンをアモルファスシリコンに注入すると、注入された水素またはフッ素がアモルファスシリコン中で微小核を発生させる効果がある。すなわち、水素イオンまたはフッ素イオンが注入されていない領域、チャネル領域では微小核が発生させられず、核発生密度が小さいままである。そのため、このチャネル領域のみが上記の熱処理によって単結晶化する。

【0144】その後の製造工程は図61~図64に示される実施例1に従って行なわれる。

### SRAMの製造方法の実施例4

本実施例は半導体薄膜の製造方法Dを適用したSRAMの製造方法を示す。図72は、実施例1の図56~図59に示される製造工程に続く製造工程を示す平面図(A)と断面図(B)である。

【0145】図72を参照して、層間絶縁膜42の上にアモルファスシリコン層58が膜厚2000Åで形成される。このアモルファスシリコン層58はジシラン( $\text{Si}_2\text{H}_6$ )ガスをを用いて温度450℃でCVD法により形成してもよく、あるいは膜厚2000Åの多結晶シリコン層を形成した後、その多結晶シリコン層にシリコンイオンを注入エネルギー100keV、注入量 $5 \times 10^{15}/\text{cm}^2$ で注入することにより形成してもよい。その後、形成されるべきTFTのチャネル領域に相当する部分の中央(図72中A点)に電子線が照射される。電子線の直径は0.05μm、加速電圧は10keV、電流

は50 $\mu$ A(出力0.5W)、照射時間は1nsec/1点である。この電子線の照射により、A点のアモルファスシリコン層は熔融、固化し、微小結晶粒になる。温度600℃の窒素雰囲気中で5時間、熱処理が施されることにより、アモルファスシリコン層58はA点の微小結晶粒を結晶成長の核として結晶成長する。これにより、チャネル領域に相当する部分が単結晶化する。

【0146】その後の製造工程は実施例1の図61～図64に従って行なわれる。

#### SRAMの製造方法の実施例5

本実施例は半導体薄膜の製造方法Eを用いたSRAMのメモリセルの製造方法を示す。図73は、実施例1の図56～図59に続く製造工程を示す平面図(A)と断面図(B)である。

【0147】図73を参照して、層間絶縁膜42の上にアモルファスシリコン層58が膜厚1000Åで形成される。このアモルファスシリコン層58はジシランのガスを用いて温度450℃でCVD法によって形成されてもよく、あるいは多結晶シリコン層を形成した後、その多結晶シリコン層にシリコンイオンが注入エネルギー100keVで注入量 $5 \times 10^{15}/\text{cm}^2$ でイオン注入されることによって形成されてもよい。アモルファスシリコン層58のチャネル領域に相当する部分の上に選択的に酸化膜47が形成される。この酸化膜47は、ECR-CVD法(電子サイクロトロン共鳴-CVD法)によって温度500℃で膜厚1000Åで形成される。その酸化膜47の原料ガスとしてはSiH<sub>4</sub>とN<sub>2</sub>Oの混合ガスが用いられる。この場合、アモルファスシリコン層58の内部応力を変化させる膜として酸化膜47は600℃以下の温度で形成されなければならない。温度600℃以上であると、酸化膜47の形成中にアモルファスシリコン層58が結晶化してしまうからである。この酸化膜47をアモルファスシリコン層58の上に形成したままで、温度600℃の窒素雰囲気中で5時間の熱処理が施される。これにより、酸化膜47によって覆われたアモルファスシリコン層58の部分、すなわちチャネル領域が単結晶化する。その後、酸化膜47が除去される。

【0148】このようにチャネル領域のみが単結晶化するのには、アモルファスシリコンに10<sup>9</sup> dyne/cm<sup>2</sup>以上の圧縮応力を存在させると、結晶成長速度が2倍以上に増大するためである。成長速度がチャネル領域のみにおいて大きいと、チャネル領域が単結晶化する。すなわち、酸化膜をチャネル領域の上のみ形成することにより、SiO<sub>2</sub>とSiの熱膨張率の差により、アモルファスシリコン中に応力が発生する。この実施例では、酸化膜47は温度100℃で形成されているので、温度100℃においてはアモルファスシリコン層58と酸化膜47の間には応力は発生しない。この状態で600℃の温度に加熱すると、SiO<sub>2</sub>の熱膨張率はSiに比べて小さいため、SiO<sub>2</sub>はSi原子の膨張を抑え

るように作用し、すなわちアモルファスシリコン層58中に圧縮応力が発生する。

【0149】その後の製造工程は実施例1の図61～図64に従って行なわれる。

#### SRAMの製造方法の実施例6

本実施例は半導体薄膜の製造方法Fが適用されたSRAMのメモリセルの製造方法を示す。図74は、実施例1の図56～図59の製造工程に続く工程を示す平面図(A)と断面図(B)である。

10 【0150】図74を参照して、層間絶縁膜42の上に多結晶シリコン層59cが膜厚10000Åで形成される。チャネル領域CHを含む領域の多結晶シリコン層59cの表面が露出するようにレジスト膜99が多結晶シリコン層59cの上に選択的に形成される。このとき、図74の(A)に示すように、レジスト膜99の突起部がチャネル領域CHに一点で接触するようにレジスト膜99はパターニングされる。このレジスト膜99をマスクとして用いて、シリコンイオンが注入エネルギー100keV、注入量 $5 \times 10^{15}/\text{cm}^2$ で多結晶シリコン層59cに注入される。これにより、レジスト膜99によって覆われていない領域の多結晶シリコン層59cはアモルファスシリコンになり、レジスト膜99によって覆われている領域の多結晶シリコン層59cは多結晶シリコンのままで残る。その後、レジスト膜99が除去される。部分的にアモルファスシリコン化された多結晶シリコン層59cに温度600℃の窒素雰囲気中で5時間の熱処理が施される。アモルファスシリコンは、多結晶シリコン領域と接しているところから結晶成長する。チャネル領域CHは多結晶シリコン領域と一点でのみ接しているので、アモルファスシリコンは、接している多結晶シリコン領域の先端の結晶粒を結晶成長の核として成長する。そのため、チャネル領域CHのアモルファスシリコンの部分は単結晶化する。

【0151】その後の製造工程は実施例1の図61～図64に従って行なわれる。

#### SRAMの製造方法の実施例7

本実施例は半導体薄膜の製造方法Gが適用されたSRAMのメモリセルの製造方法を示す。図75～図76は、実施例1の図56～図59の製造工程に続く工程を順に示す平面図(A)と断面図(B)である。図75を参照して、膜厚の異なる部分を含むアモルファスシリコン層が層間絶縁膜42の上に形成される。このアモルファスシリコン層は厚み1000Åのアモルファスシリコン層57と厚み2000Åのアモルファスシリコン層57aとから構成される。その後、このアモルファスシリコン層に温度600℃の窒素雰囲気中で30分間の熱処理が施される。この熱処理温度と熱処理時間は、膜厚の厚いアモルファスシリコン層57aの領域に1つだけ、核が発生するように調整されている。膜厚の薄いアモルファスシリコン層57の領域に核が発生しないのは、膜厚の



薄いアモルファスシリコン層においては結晶核発生に時間遅れが存在するためである。すなわち、膜厚の薄いアモルファスシリコン層57の部分の成長速度は膜厚の厚いアモルファスシリコン層57aの成長速度に比べて遅いためである。このようにして、1つの結晶核Nが膜厚の厚いアモルファスシリコン層57aの中に発生する。

【0152】図76に示すように、1000Åの厚み分だけアモルファスシリコン層をエッチングすることにより、膜厚の薄いアモルファスシリコン層の部分57はなくなり、膜厚の厚い領域で厚み1000Åのアモルファスシリコン層57aのみが残る。このアモルファスシリコン層57aに温度600℃の窒素雰囲気中で5時間の熱処理が施される。この熱処理により、チャンネル領域に残ったアモルファスシリコン層57aが単結晶化する。これは、アモルファスシリコン層57a中には1個の結晶核が存在するからである。

【0153】その後の製造工程は実施例2の図68～図70の製造工程に従って行なわれる。図70の後の製造工程は実施例1の図62～図64の製造工程に従って行なわれる。

【0154】図77は、本実施例において、実施例1の図59に続く別の製造工程を示す平面図(A)と断面図(B)である。図77を参照して、多結晶シリコン層59dが膜厚2000Åで層間絶縁膜42の上に形成される。この多結晶シリコン層59dは結晶粒径0.8μm(=d)のシリコンから形成される膜である。この多結晶シリコン層59dのチャンネル領域に相当する部分の上に選択的にレジスト膜99が形成される。このレジスト膜99の平面積は0.4μm×0.4μm(=a)である。レジスト膜99の膜厚は1μmである。この際、レジスト膜の代わりに酸化膜が形成されてもよい。レジスト膜99をマスクとして用いてシリコンイオンが注入エネルギー100keV、注入量 $5 \times 10^{15}/\text{cm}^2$ で多結晶シリコン層59dに注入される。このときのイオン注入は図77の(B)に示すように角度 $\theta = 30^\circ$ で連続回転注入法によって行なわれる。すなわち、ウェハを回転させながら $30^\circ$ の角度でシリコンイオンが注入される。これにより、レジスト膜99の真下の三角形の断面を有する領域にはシリコンイオンが注入されないため、結晶が残留する。それ以外の領域はシリコンイオンの注入によりアモルファスシリコンになる。その後、レジスト膜99が除去される。温度600℃の窒素雰囲気中で5時間の熱処理が施されることにより、上記の三角形の断面を有する領域が結晶化の核として結晶成長する。これにより、チャンネル領域CHが単結晶化する。ここで $a < d$ (できれば $a \leq d/2$ )の条件を満足するように、多結晶シリコン層59dの結晶粒径(d)とレジスト膜99の大きさ(a)を設定する必要がある。この条件下において、レジスト膜99の真下の三角形断面の領域がただ1つの結晶粒となる。

【0155】その後の製造工程は実施例1の図61～図64の工程に従って行なわれる。

#### SRAMの製造方法の実施例8

本実施例は半導体薄膜の製造方法Hが適用されたSRAMのメモリセルの製造方法を示す。図78～図82は、実施例1の図56～図59の製造工程に続く工程を順に示す平面図(A)と断面図(B)である。

【0156】図78を参照して、平坦化された層間絶縁膜42の上にアモルファスシリコン層57が膜厚2000Åで形成される。pチャネルMOSトランジスタ(TFT)のチャンネル領域に相当する部分でアモルファスシリコン層57の上にレジスト膜99が選択的に形成される。

【0157】図79に示すように、レジスト膜99をマスクとして用いてアモルファスシリコン層57が1000Åの厚みだけエッチング除去される。その後、レジスト膜99が除去される。これにより、チャンネル領域に相当する部分においてのみ、膜厚の厚いアモルファスシリコン層57aが形成される。

20 【0158】図80に示すように、アモルファスシリコン層57に温度600℃の窒素雰囲気中で5時間の熱処理が施される。これにより、アモルファスシリコン層57と57aは結晶化する。しかしながら、膜厚の厚いアモルファスシリコン層57aの部分は、その結晶成長速度が大きいため単結晶化する。すなわち、アモルファスシリコン層の部分57aは結晶化して、単結晶シリコン層59aになる。これに対して、アモルファスシリコン層57の部分は結晶化して多結晶シリコン層59bになる。多結晶シリコン層59bには結晶粒界が模式的に示されている。

30 【0159】図81に示されるように、結晶化した単結晶シリコン層59aと多結晶シリコン層59bが所定のパターンに従って選択的に除去される。

【0160】図82に示すように、酸化膜からなるゲート絶縁膜43が単結晶シリコン層59aと多結晶シリコン層59bを覆うように形成される。その後、スルーホール51aの領域の部分とスルーホール52の上半分の領域の上に形成された酸化膜43のみが除去される。ゲート電極60が所定のパターンに従ってゲート絶縁膜43の上に形成される。その後、ゲート電極60をマスクとして用いて、ボロンがイオン注入されることにより、pチャネルMOSトランジスタのソース・ドレイン領域55bが形成される。

【0161】その後の製造工程は実施例1の図63～図64に示される工程に従って行なわれる。

40 【0162】以上のSRAMのメモリセルの製造方法において、TFTのチャンネル領域を構成する単結晶層はアモルファスシリコン層から製造される。以下、アモルファスシリコン層の製造方法別にアモルファスシリコン層中の核発生密度(個/cm<sup>2</sup>)、チャンネル領域(0.4

45

$\mu\text{m} \times 0.8 \mu\text{m}$ ) 中の結晶核の個数について説明する。

【0163】(i) シラン( $\text{SiH}_4$ )ガスを原料ガスとして用いて温度550℃でアモルファスシリコン層をCVD法によって形成した場合。

【0164】核発生密度:  $\sim 1 \times 10^{10}$  個/ $\text{cm}^2$ 、チャネル領域中の結晶核の個数: 32個

(ii) ジシラン( $\text{Si}_2\text{H}_6$ )ガスを原料ガスとして用いて温度450℃でアモルファスシリコン層をCVD法によって形成した場合。

【0165】核発生密度:  $\sim 6 \times 10^7$  個/ $\text{cm}^2$ 、チャネル領域中の結晶核の個数: 0.2個

(iii) 多結晶シリコン層にシリコンイオンを  $5 \times 10^{15}$  / $\text{cm}^2$  の注入量で注入することによりアモルファスシリコン層を形成した場合。

【0166】核発生密度:  $\sim 5 \times 10^7$  個/ $\text{cm}^2$ 、チャネル領域中の結晶核の個数: 0.16個

(iv) 多結晶シリコン層にシリコンイオンを  $2 \times 10^{15}$  / $\text{cm}^2$  の注入量で注入することによりアモルファスシリコン層を形成した場合。

【0167】核発生密度:  $\sim 3 \times 10^8$  個/ $\text{cm}^2$ 、チャネル領域中の結晶核の個数: 1個以上のアモルファスシリコン層の製造方法別の核発生密度を考慮すれば、本発明の微細化されたSRAMのメモリセルにおいてTFTのチャネル領域( $0.4 \mu\text{m} \times 0.8 \mu\text{m}$ )全体を単結晶層で構成するためには、アモルファスシリコン層の製造方法として(ii)または(iii)を採用する必要がある。すなわち、アモルファスシリコン層中の結晶核の発生密度を1以下にして、上述の各製造方法A~Hに従って単結晶化すれば、微細化されたSRAMのメモリセルにおいてTFTの微小なチャネル領域を単結晶層によって形成することが可能になる。また、そのように結晶核の発生密度が低減されたアモルファスシリコン層から単結晶層を製造することによって、欠陥密度が低い値に抑制された単結晶層が得られる。これにより、所望の要求値(ON電流0.25 $\mu\text{A}$ 以上、OFF電流15fA以下)を満足するTFTを得ることができる。

【0168】

【発明の効果】以上のように、請求項1に係る電界効果型薄膜トランジスタによれば、SRAMの微細化されたメモリセルに適用されると、読出書込動作を安定に行なえるようにし、かつSRAMの消費電力を低減させる効果がある。

【0169】また、請求項2に係る電界効果型薄膜トランジスタによれば、従来に比べて高いON電流と低いOFF電流を備えた薄膜トランジスタが得られる。

【0170】請求項3~10の電界効果型薄膜トランジスタの製造方法によれば、チャネル領域が単結晶から構成されるように制御され、かつ所望の低い欠陥密度を有するように形成される。そのため、得られる薄膜トラン

46

ジスタは、より高いON電流とより低いOFF電流を示す。

【図面の簡単な説明】

【図1】この発明の一実施例による薄膜トランジスタを模式的に示す平面図(A)と斜視図(B)である。

【図2】この発明の一実施例による薄膜トランジスタの電気的特性を示すグラフである。

【図3】この発明の薄膜トランジスタが適用される微細化SRAMのメモリセルの平面図(A)(B)である。

10 【図4】図3のK-K線に沿った方向から見た断面を示す断面図である。

【図5】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法の実施例A1の第1工程における平面的配置を示す平面図である。

【図6】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法の実施例A1の第2工程における平面的配置を示す平面図である。

20 【図7】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法の実施例A1の第3工程における平面的配置を示す平面図である。

【図8】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法の実施例A2の第1工程における平面的配置を示す平面図である。

【図9】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法の実施例A2の第2工程における平面的配置を示す平面図である。

【図10】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法B1を工程順に示す断面図である。

30 【図11】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法の実施例B2の第1工程における断面構造を示す断面図である。

【図12】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法の実施例B2の第2工程における断面構造を示す断面図である。

【図13】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法の実施例B2の第3工程における断面構造を示す断面図である。

40 【図14】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法の実施例B2の第4工程における断面構造を示す断面図である。

【図15】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法の実施例B3の第1工程における断面構造を示す断面図である。

【図16】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法の実施例B3の第2工程における断面構造を示す断面図である。

【図17】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法の実施例B3の第3工程における断面構造を示す断面図である。

50 【図18】この発明の薄膜トランジスタに用いられる半

導体薄膜の製造方法の実施例B4の第1工程における断面構造を示す断面図である。

【図19】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法の実施例B4の第2工程における断面構造を示す断面図である。

【図20】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法の実施例B4の第3工程における断面構造を示す断面図である。

【図21】図11のアモルファスシリコン層の部分の平面的配置を示す平面図である。

【図22】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法Cの一実施例を工程順に示す断面図である。

【図23】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法Dの一実施例の第1工程における断面構造を示す断面図である。

【図24】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法Dの一実施例の第2工程における断面構造を示す断面図である。

【図25】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法Dの一実施例の第3工程における断面構造を示す断面図である。

【図26】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法Dの一実施例の第4工程における断面構造を示す断面図である。

【図27】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法Dの一実施例の第5工程における断面構造を示す断面図である。

【図28】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法の実施例E1の第1工程における断面構造を示す断面図である。

【図29】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法の実施例E1の第2工程における断面構造を示す断面図である。

【図30】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法の実施例E1の第3工程における断面構造を示す断面図である。

【図31】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法の実施例E1の第4工程における断面構造を示す断面図である。

【図32】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法の実施例E1の第5工程における断面構造を示す断面図である。

【図33】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法の実施例E1の第6工程における断面構造を示す断面図である。

【図34】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法の実施例E2の第1工程における断面構造を示す断面図である。

【図35】この発明の薄膜トランジスタに用いられる半

導体薄膜の製造方法の実施例E2の第2工程における断面構造を示す断面図である。

【図36】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法の実施例E2の第3工程における断面構造を示す断面図である。

【図37】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法の実施例E2の第4工程における断面構造を示す断面図である。

10 【図38】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法の実施例E2の第5工程における断面構造を示す断面図である。

【図39】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法の実施例E2の第6工程における断面構造を示す断面図である。

【図40】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法の実施例E1とE2において、各膜の内部応力の関係を示す概念図である。

20 【図41】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法の実施例E1とE2に適用可能な一部の工程を示す断面模式図である。

【図42】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法Fの一実施例を工程順に示す断面図である。

【図43】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法Fの別の実施例の一部工程における断面構造を示す断面図である。

【図44】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法の実施例G1の各工程における断面構造を示す断面図である。

30 【図45】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法の実施例G2の各工程における断面構造を示す断面図である。

【図46】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法の実施例G2における平面的配置を示す平面図である。

【図47】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法の実施例G3の各工程における断面構造を示す断面図である。

40 【図48】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法の実施例G3に適用可能な別の工程における断面構造を示す断面図である。

【図49】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法Hにおいて利用される、非晶質層の厚みと、その非晶質層から固相成長する結晶粒の粒径との関係を示すグラフである。

【図50】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法Hの一実施例の第1工程における断面構造を示す断面図である。

50 【図51】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法Hの一実施例の第2工程における断

面構造を示す断面図である。

【図52】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法Hの一実施例の第3工程における断面構造を示す断面図である。

【図53】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法Hの一実施例の第4工程における断面構造を示す断面図である。

【図54】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法Hの別の実施例の第1工程における断面構造を示す断面図である。

【図55】この発明の薄膜トランジスタに用いられる半導体薄膜の製造方法Hの別の実施例の第2工程における断面構造を示す断面図である。

【図56】この発明の薄膜トランジスタが適用されるSRAMのメモリセルの製造方法の実施例1の第1工程における平面図(A)と断面図(B)である。

【図57】この発明の薄膜トランジスタが適用されるSRAMのメモリセルの製造方法の実施例1の第2工程における平面図(A)と断面図(B)である。

【図58】この発明の薄膜トランジスタが適用されるSRAMのメモリセルの製造方法の実施例1の第3工程における平面図(A)と断面図(B)である。

【図59】この発明の薄膜トランジスタが適用されるSRAMのメモリセルの製造方法の実施例1の第4工程における平面図(A)と断面図(B)である。

【図60】この発明の薄膜トランジスタが適用されるSRAMのメモリセルの製造方法の実施例1の第5工程における平面図(A)と断面図(B)である。

【図61】この発明の薄膜トランジスタが適用されるSRAMのメモリセルの製造方法の実施例1の第6工程における平面図(A)と断面図(B)である。

【図62】この発明の薄膜トランジスタが適用されるSRAMのメモリセルの製造方法の実施例1の第7工程における平面図(A)と断面図(B)である。

【図63】この発明の薄膜トランジスタが適用されるSRAMのメモリセルの製造方法の実施例1の第8工程における平面図(A)と断面図(B)である。

【図64】この発明の薄膜トランジスタが適用されるSRAMのメモリセルの製造方法の実施例1の第9工程における平面図(A)と断面図(B)である。

【図65】この発明の薄膜トランジスタが適用されるSRAMのメモリセルの製造方法の実施例1の第5工程の変形例における平面図(A)と断面図(B)である。

【図66】この発明の薄膜トランジスタが適用されるSRAMのメモリセルの製造方法の実施例2の第1工程における平面図(A)と断面図(B)である。

【図67】この発明の薄膜トランジスタが適用されるSRAMのメモリセルの製造方法の実施例2の第2工程における平面図(A)と断面図(B)である。

【図68】この発明の薄膜トランジスタが適用されるS

RAMのメモリセルの製造方法の実施例2の第3工程における平面図(A)と断面図(B)である。

【図69】この発明の薄膜トランジスタが適用されるSRAMのメモリセルの製造方法の実施例2の第4工程における平面図(A)と断面図(B)である。

【図70】この発明の薄膜トランジスタが適用されるSRAMのメモリセルの製造方法の実施例2の第5工程における平面図(A)と断面図(B)である。

10 【図71】この発明の薄膜トランジスタが適用されるSRAMのメモリセルの製造方法の実施例3の一部工程における平面図(A)と断面図(B)である。

【図72】この発明の薄膜トランジスタが適用されるSRAMのメモリセルの製造方法の実施例4の一部工程における平面図(A)と断面図(B)である。

【図73】この発明の薄膜トランジスタが適用されるSRAMのメモリセルの製造方法の実施例5の一部工程における平面図(A)と断面図(B)である。

【図74】この発明の薄膜トランジスタが適用されるSRAMのメモリセルの製造方法の実施例6の一部工程における平面図(A)と断面図(B)である。

20 【図75】この発明の薄膜トランジスタが適用されるSRAMのメモリセルの製造方法の実施例7の第1工程における平面図(A)と断面図(B)である。

【図76】この発明の薄膜トランジスタが適用されるSRAMのメモリセルの製造方法の実施例7の第2工程における平面図(A)と断面図(B)である。

【図77】この発明の薄膜トランジスタが適用されるSRAMのメモリセルの製造方法の実施例7の一部工程の変形例における平面図(A)と断面図(B)である。

30 【図78】この発明の薄膜トランジスタが適用されるSRAMのメモリセルの製造方法の実施例8の第1工程における平面図(A)と断面図(B)である。

【図79】この発明の薄膜トランジスタが適用されるSRAMのメモリセルの製造方法の実施例8の第2工程における平面図(A)と断面図(B)である。

【図80】この発明の薄膜トランジスタが適用されるSRAMのメモリセルの製造方法の実施例8の第3工程における平面図(A)と断面図(B)である。

40 【図81】この発明の薄膜トランジスタが適用されるSRAMのメモリセルの製造方法の実施例8の第4工程における平面図(A)と断面図(B)である。

【図82】この発明の薄膜トランジスタが適用されるSRAMのメモリセルの製造方法の実施例8の第5工程における平面図(A)と断面図(B)である。

【図83】従来および本発明の微細化されたSRAMのメモリセルを示す等価回路図である。

【図84】従来および本発明の微細化されたSRAMのメモリセルの等価回路を実際の3次元配置で表わした等価回路図である。

50 【図85】従来の微細化SRAMのメモリセルを示す平

51

52

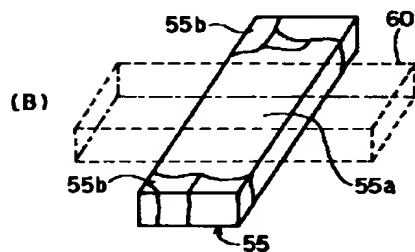
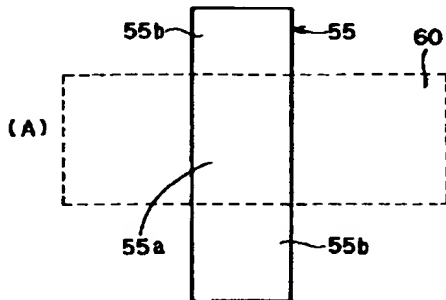
面図(A)(B)である。

【図86】図85のL-L線に沿った方向から見た断面構造を示す断面図である。

【図87】従来の薄膜トランジスタの電気的特性を示すグラフである。

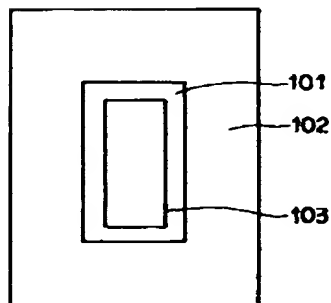
【図88】従来の薄膜トランジスタの構造を模式的に示す平面図(A)と斜視図(B)である。

【図1】



55: 活性層 55a: チャンネル領域  
55b: ソース・ドレイン領域 60: ゲート電極

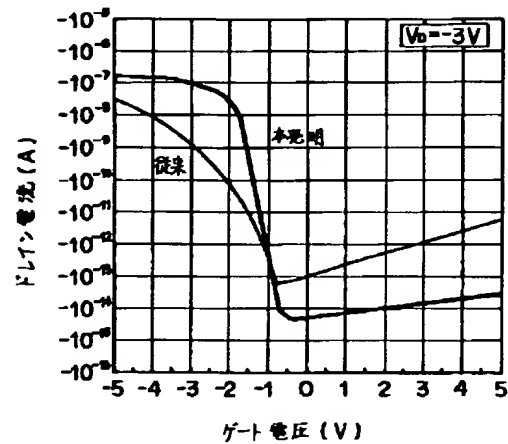
【図5】



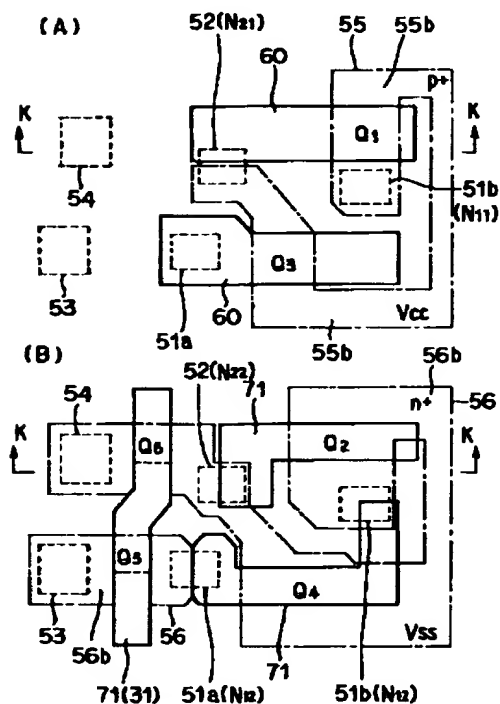
【符号の説明】

- 43 ゲート絶縁膜
- 55 活性層
- 55a チャンネル領域
- 55b ソース・ドレイン領域
- 60 ゲート電極

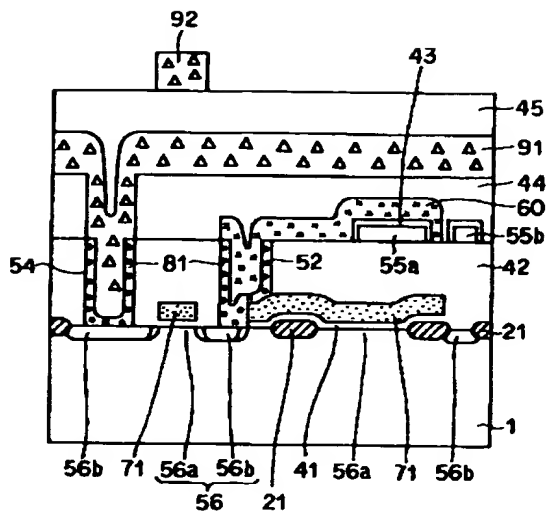
【図2】



【図3】

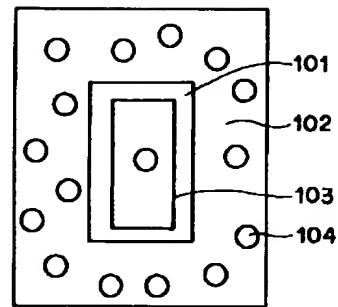


【図4】

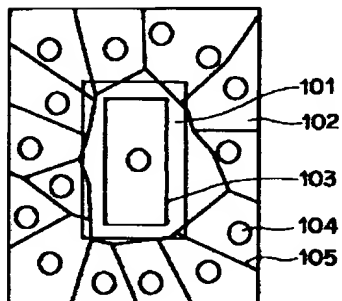


43: ゲート絶縁膜

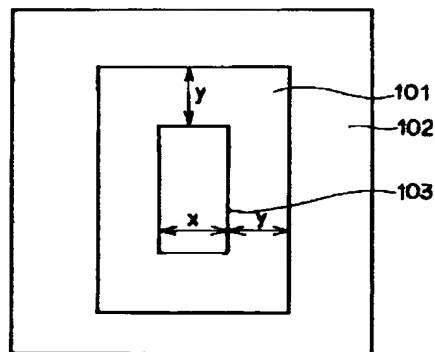
【図6】



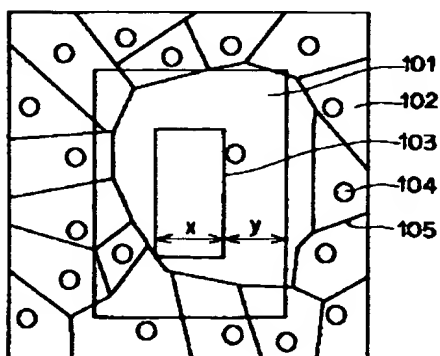
【図7】



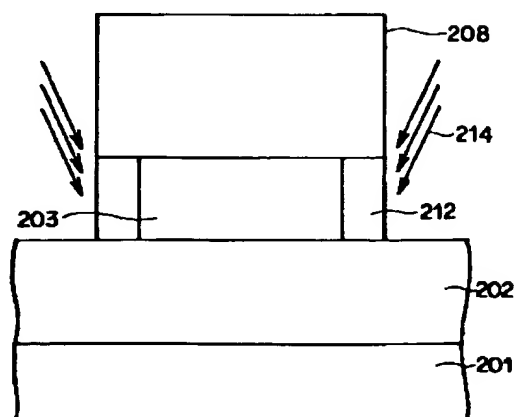
【図8】



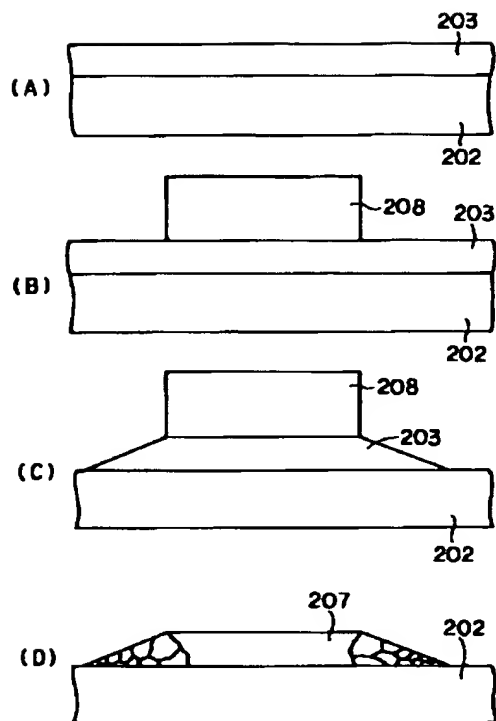
【図9】



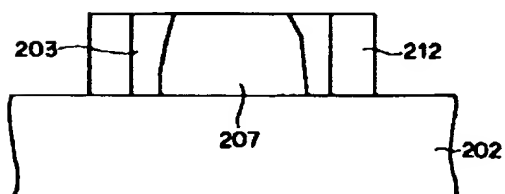
【図11】



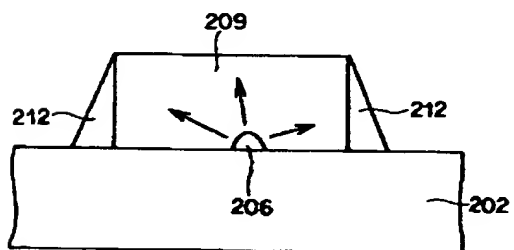
【図10】



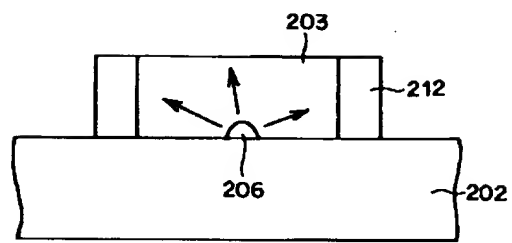
【図13】



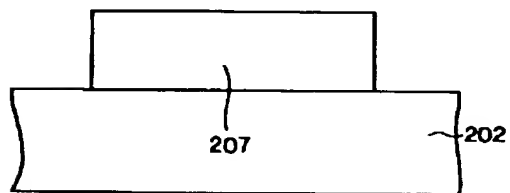
【図16】



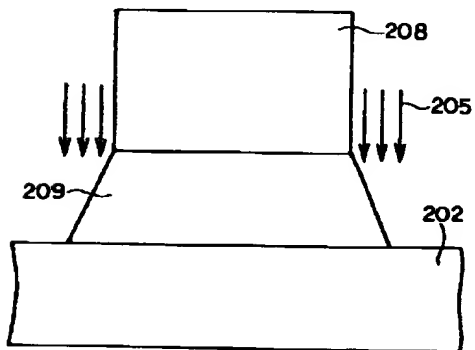
【図12】



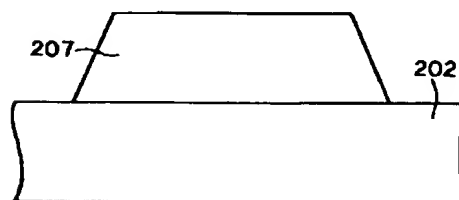
【図14】



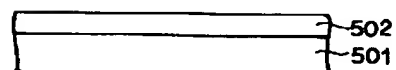
【図15】



【図17】

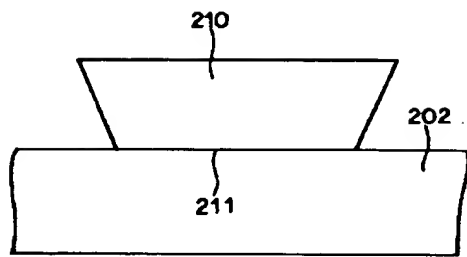


【図28】

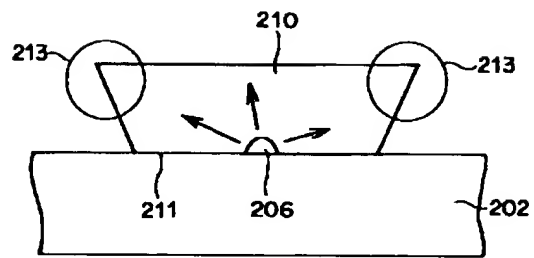




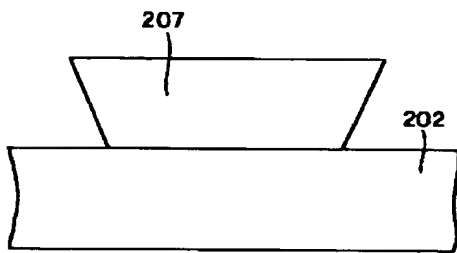
【図18】



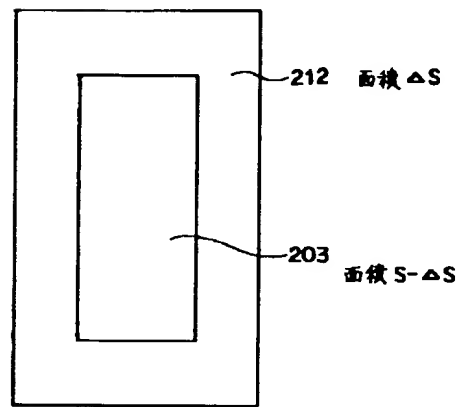
【図19】



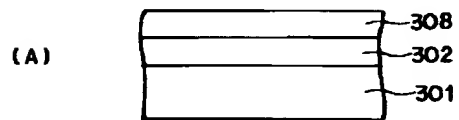
【図20】



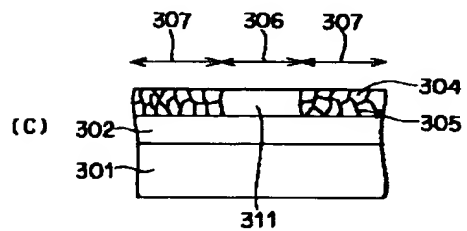
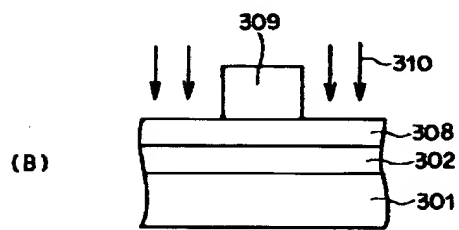
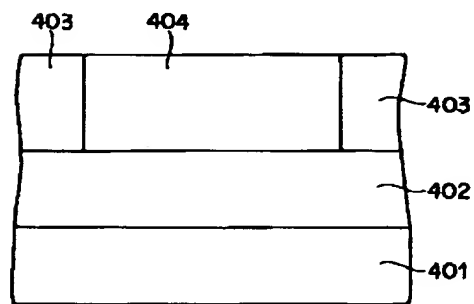
【図21】



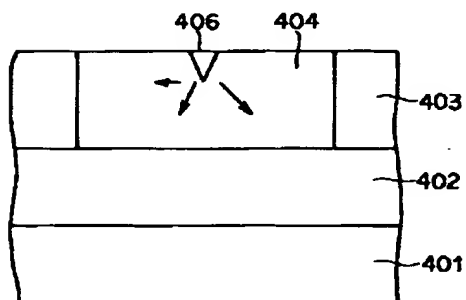
【図22】



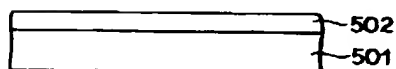
【図23】



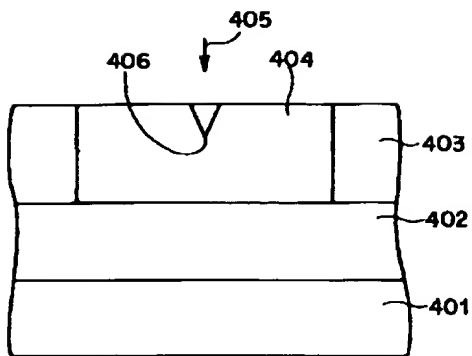
【図25】



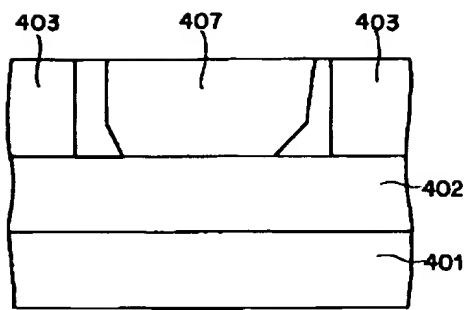
【図34】



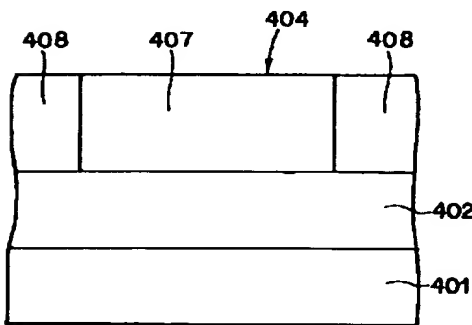
【図24】



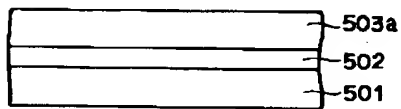
【図26】



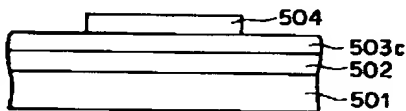
【図27】



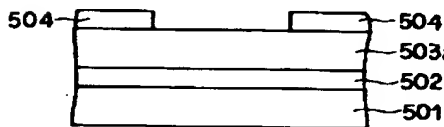
【図29】



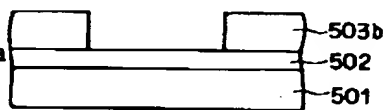
【図36】



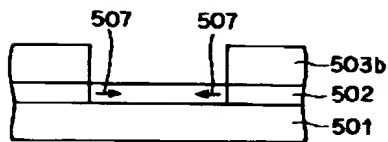
【図30】



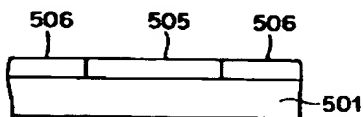
【図31】



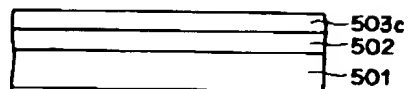
【図32】



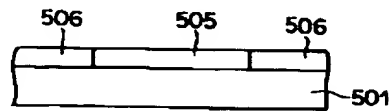
【図33】



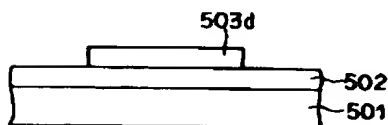
【図35】



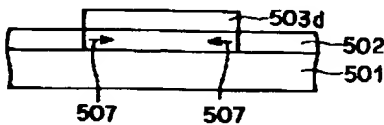
【図39】



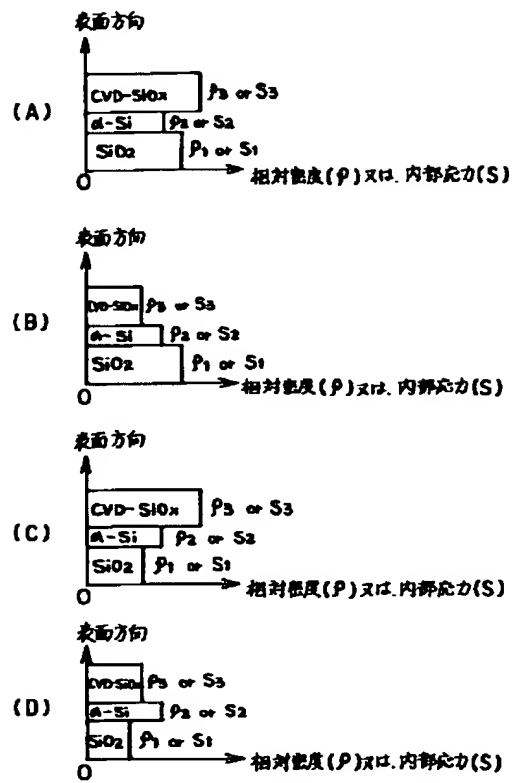
【図37】



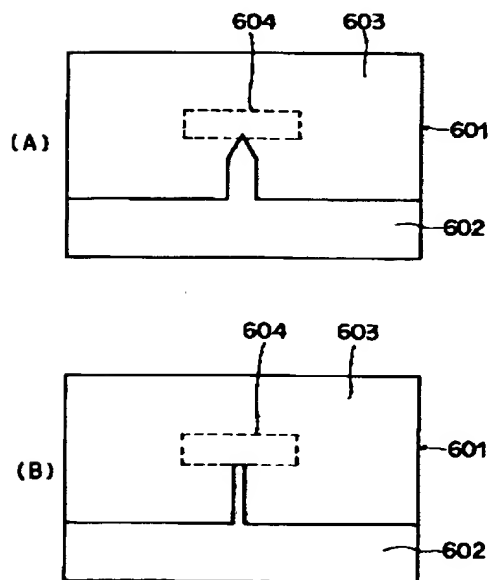
【図38】



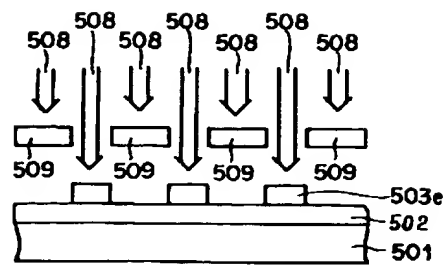
【図40】



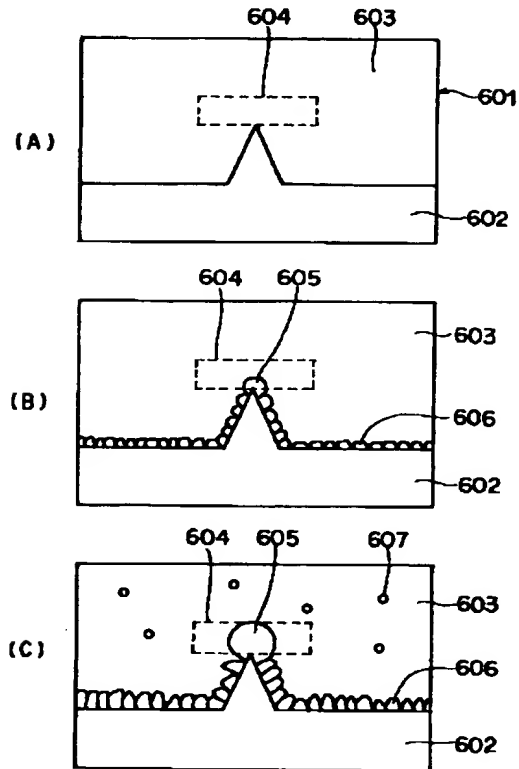
【図43】



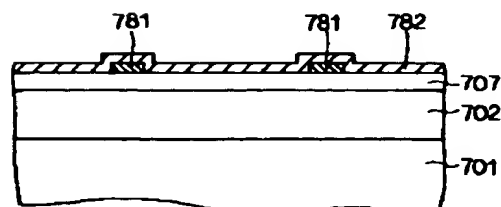
【図41】



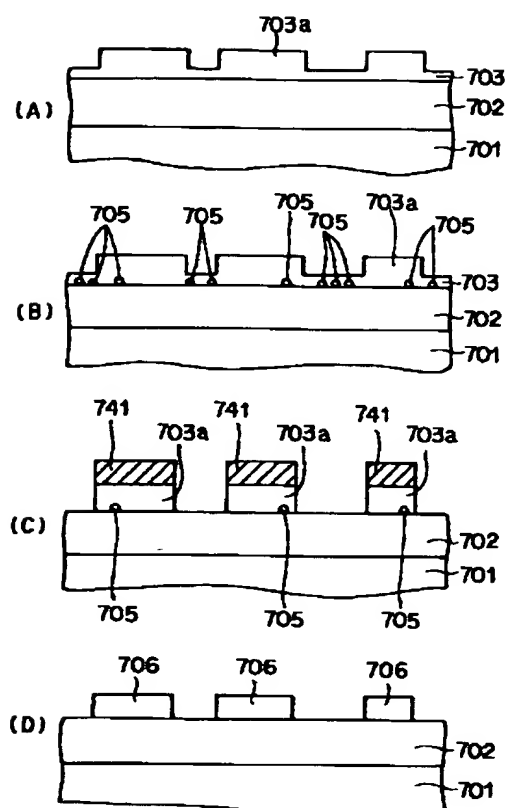
【図42】



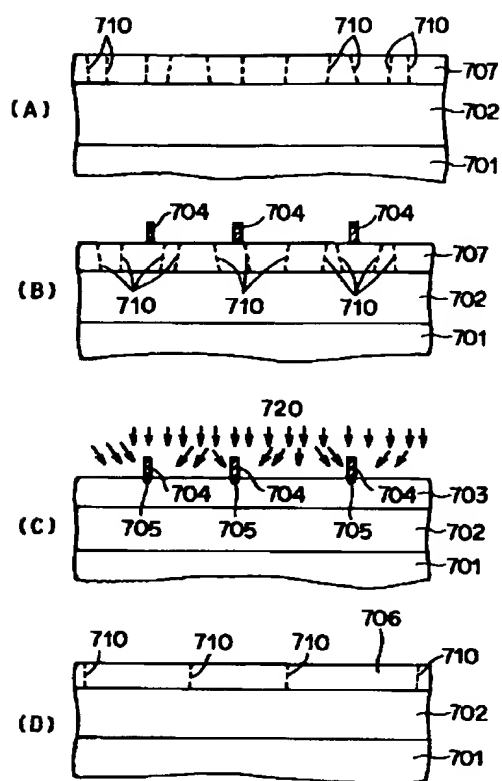
【図48】



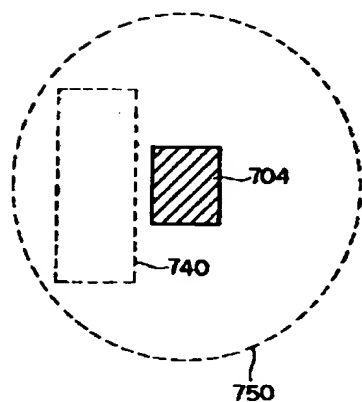
【図44】



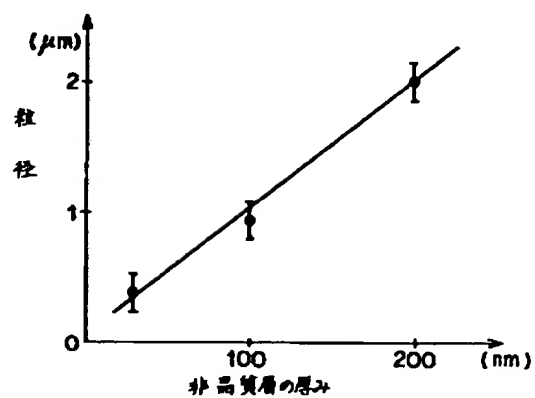
【図45】



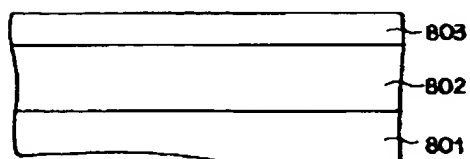
【図46】



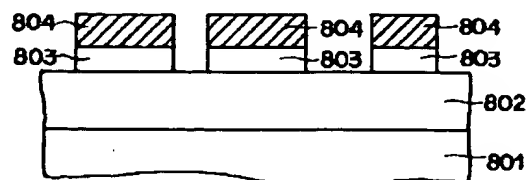
【図49】



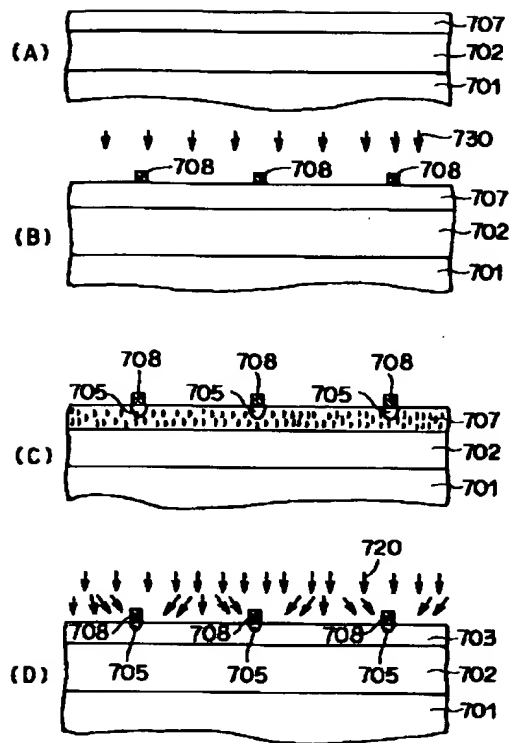
【図50】



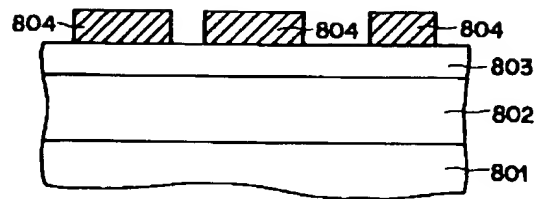
【図54】



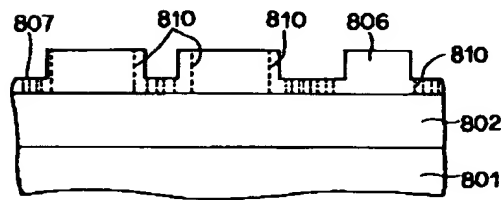
【図47】



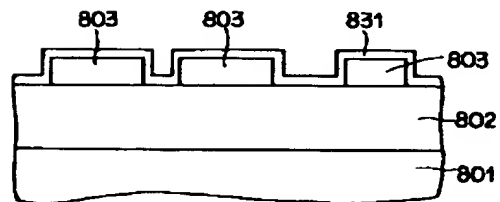
【図51】



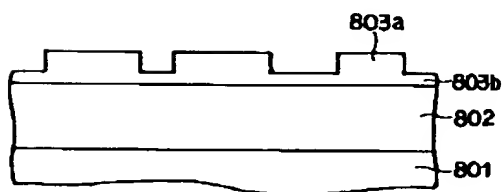
【図53】



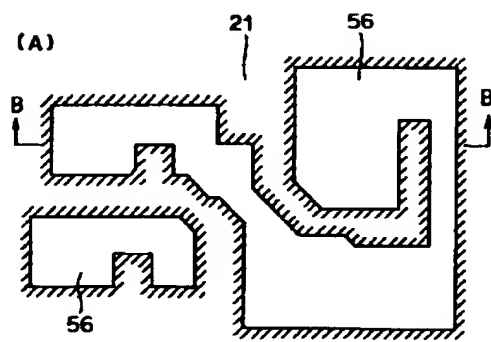
【図55】



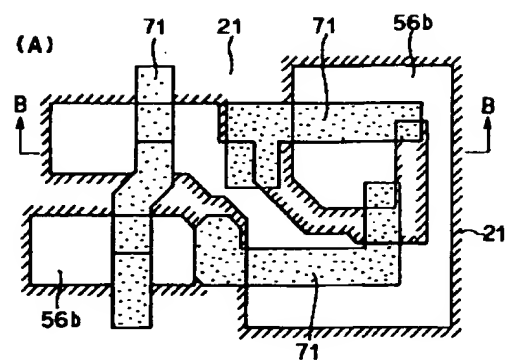
【図52】



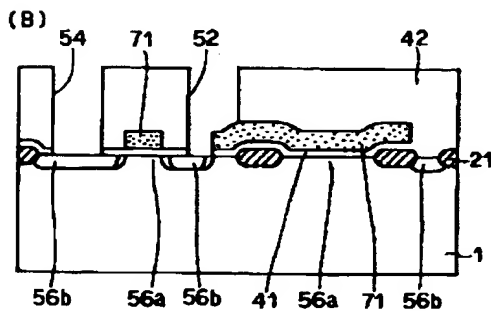
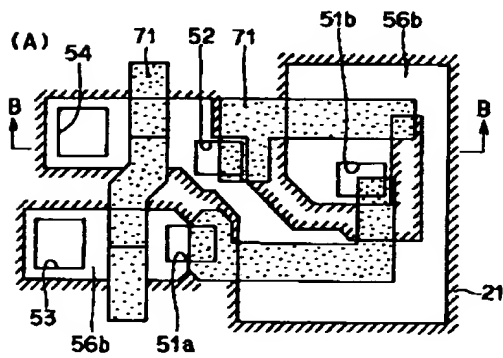
【図56】



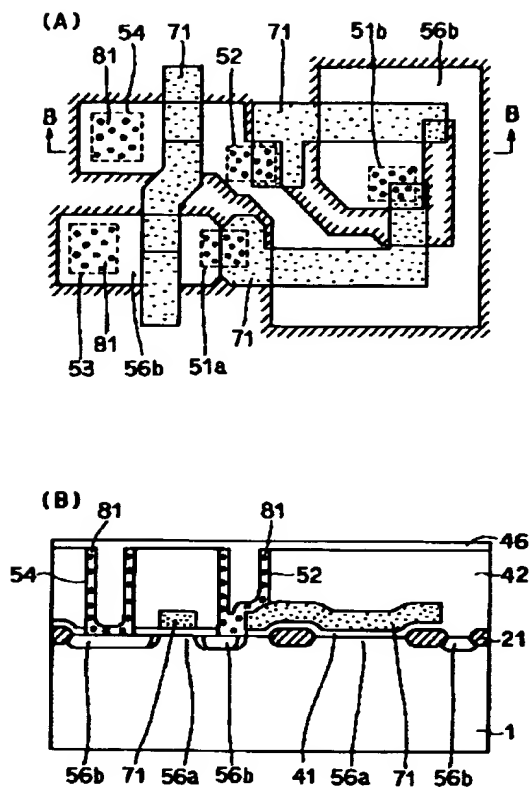
【図57】



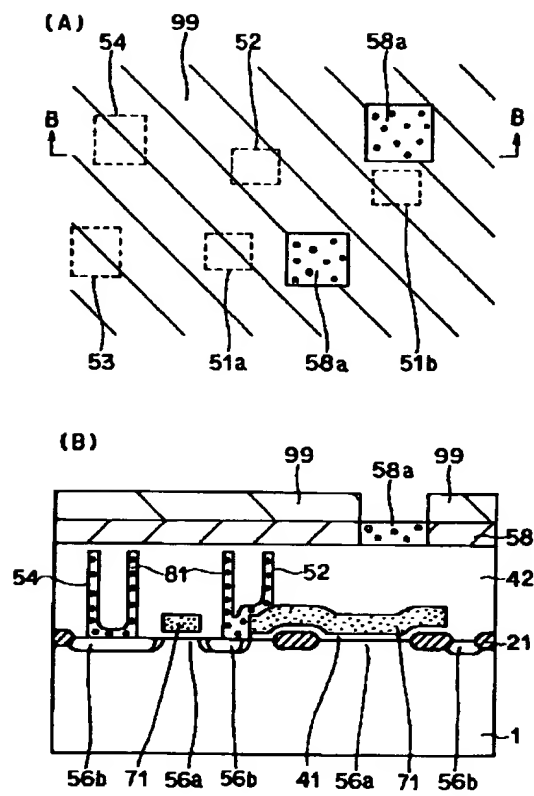
【図58】



【図59】

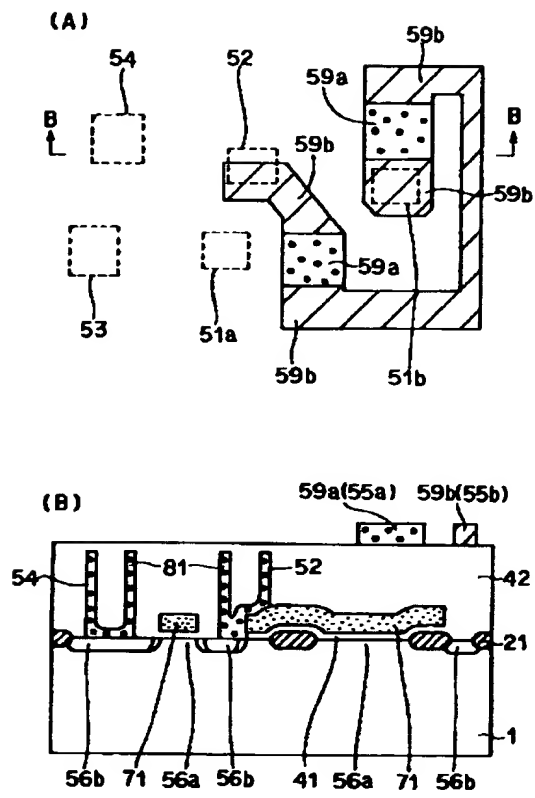


【図60】

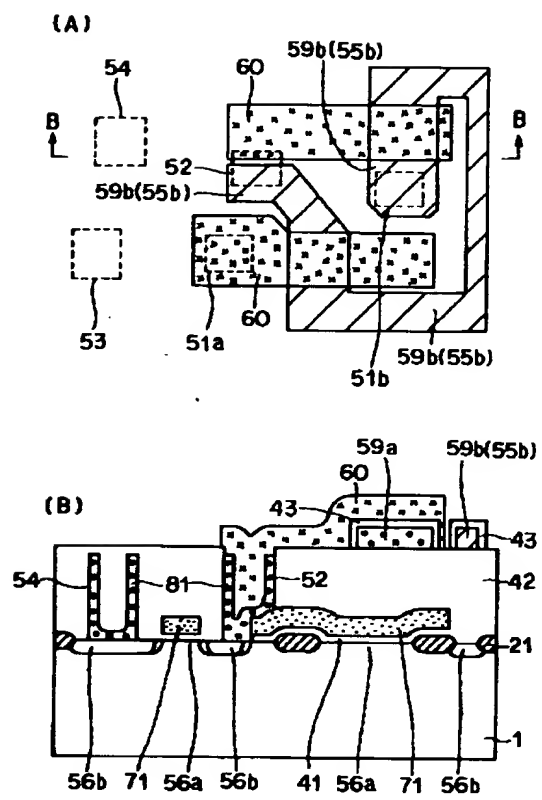




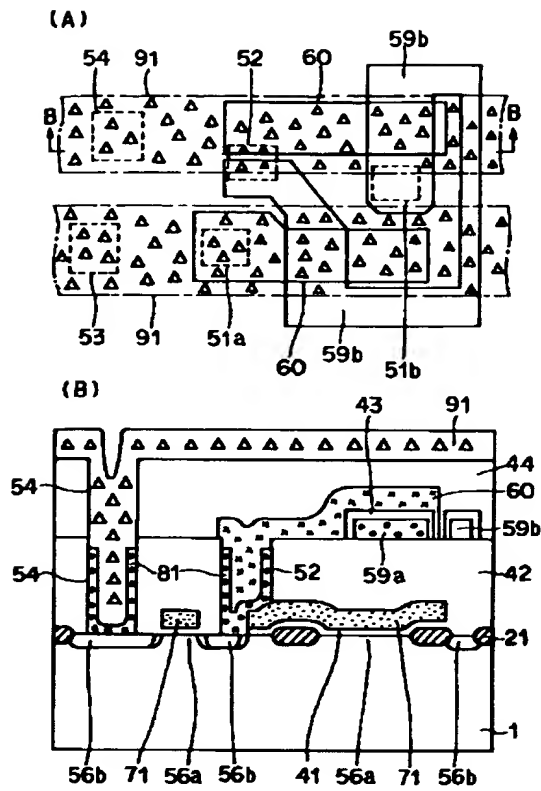
【図61】



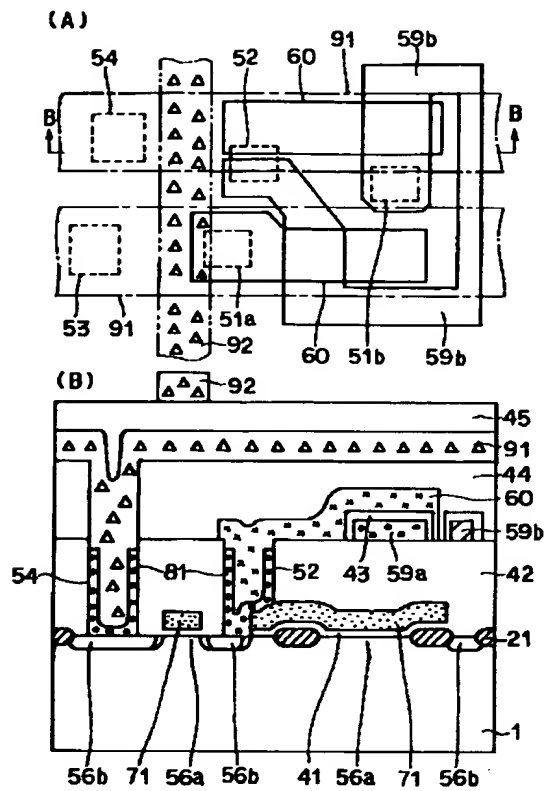
【図62】



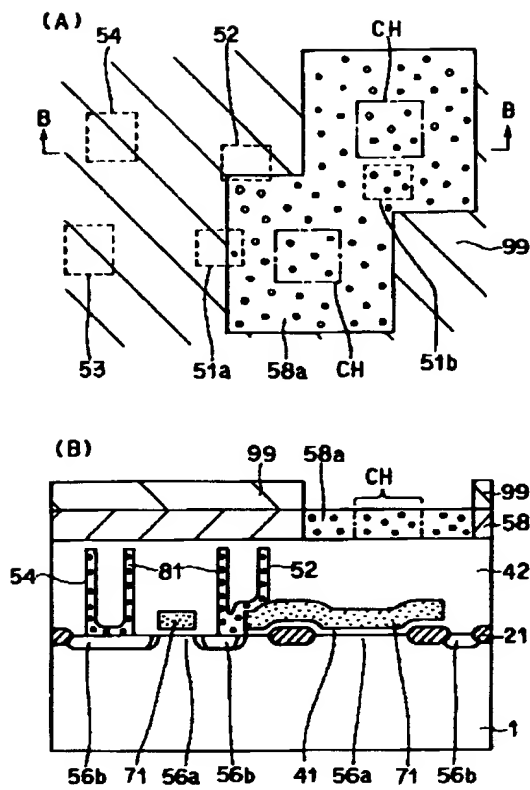
【図63】



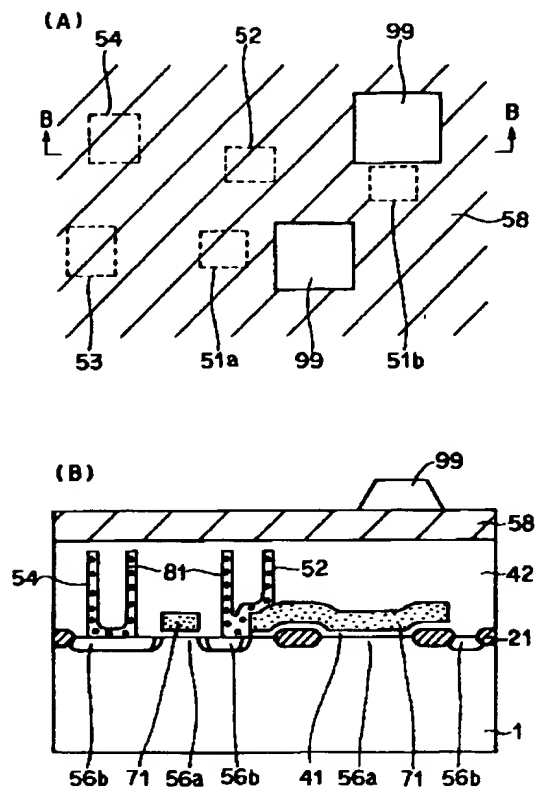
【図64】



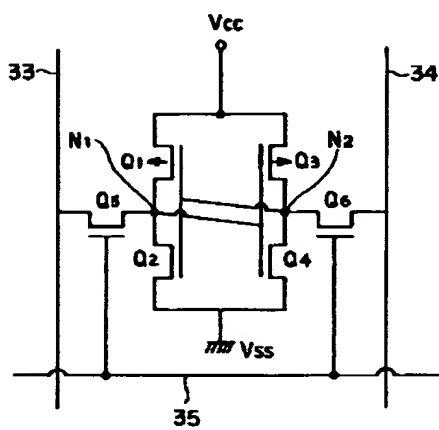
【図65】



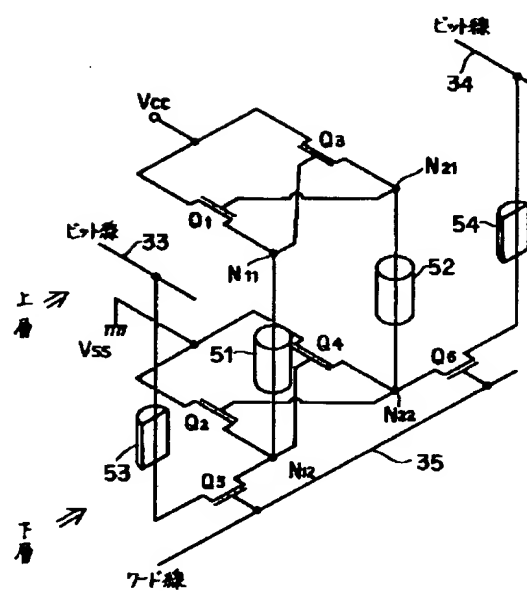
【図66】



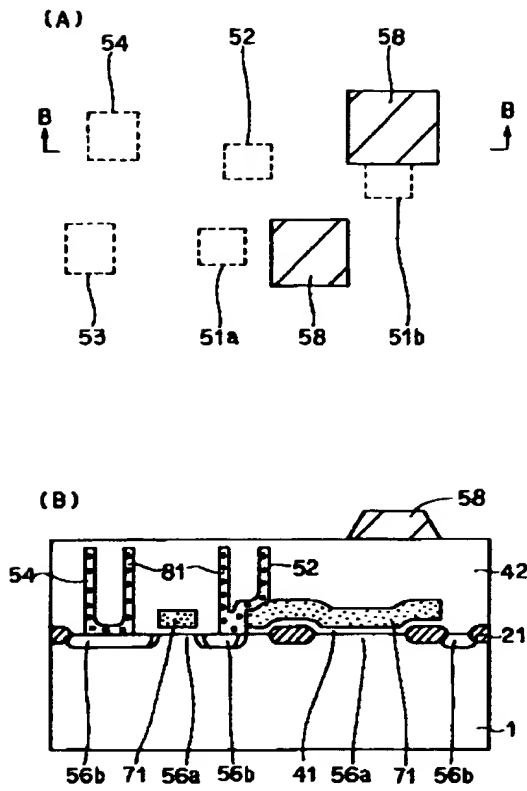
【図83】



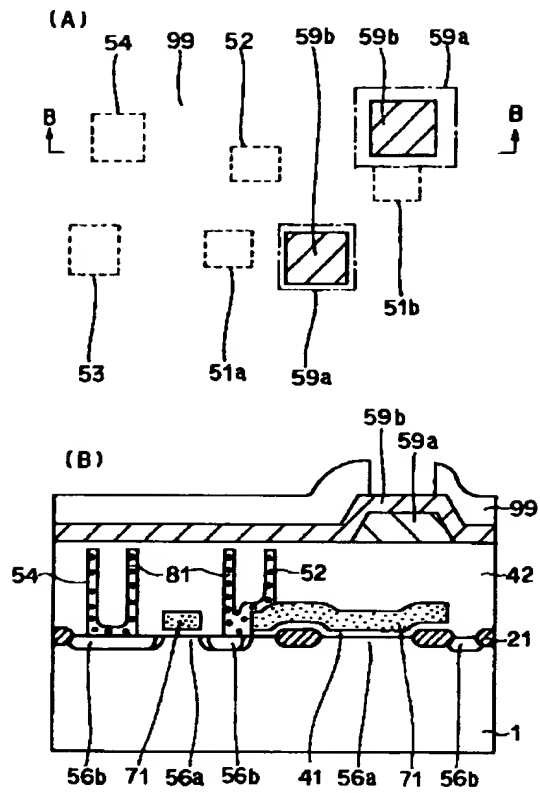
【図84】



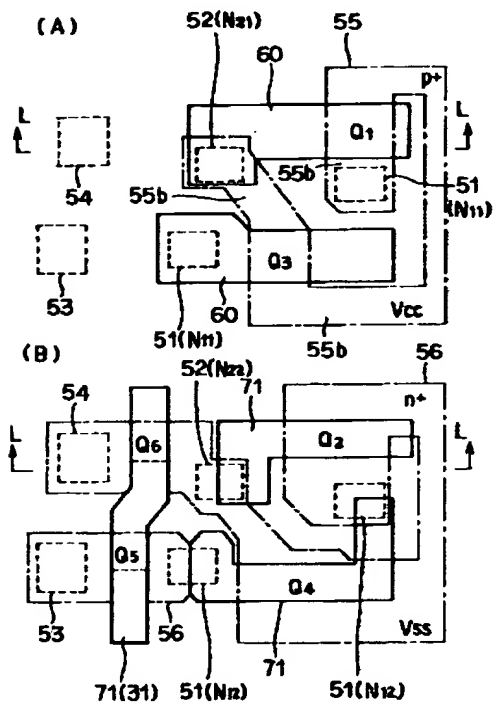
【図67】



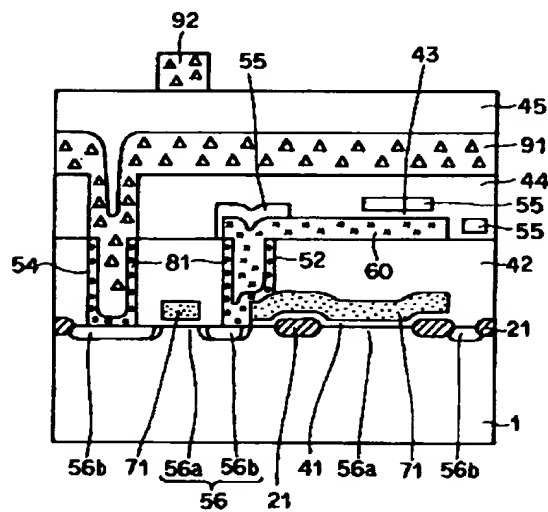
【図68】



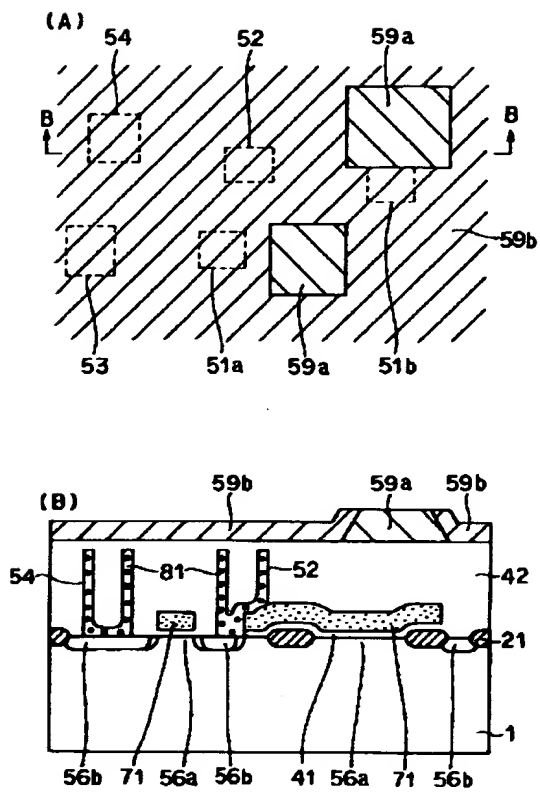
【図85】



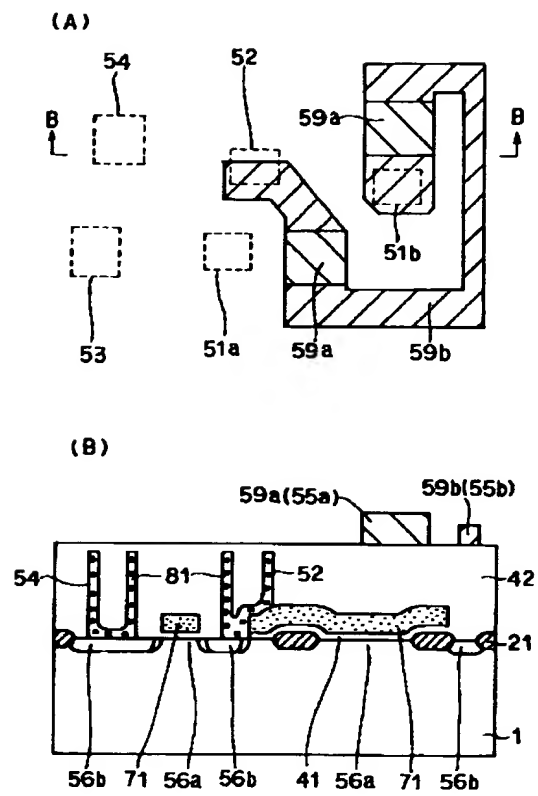
【図86】



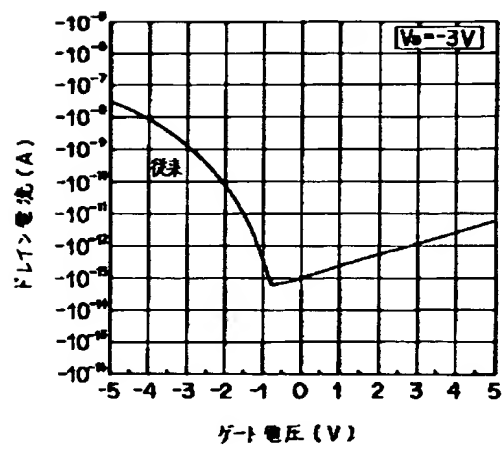
【図69】



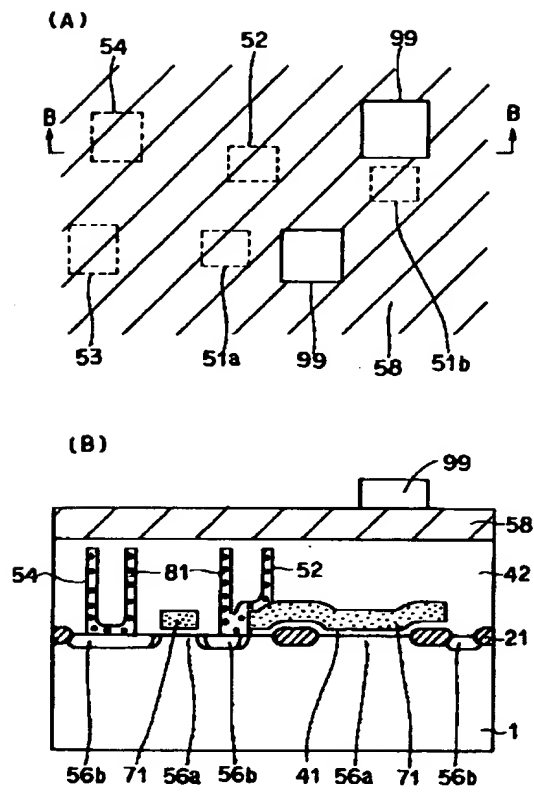
【図70】



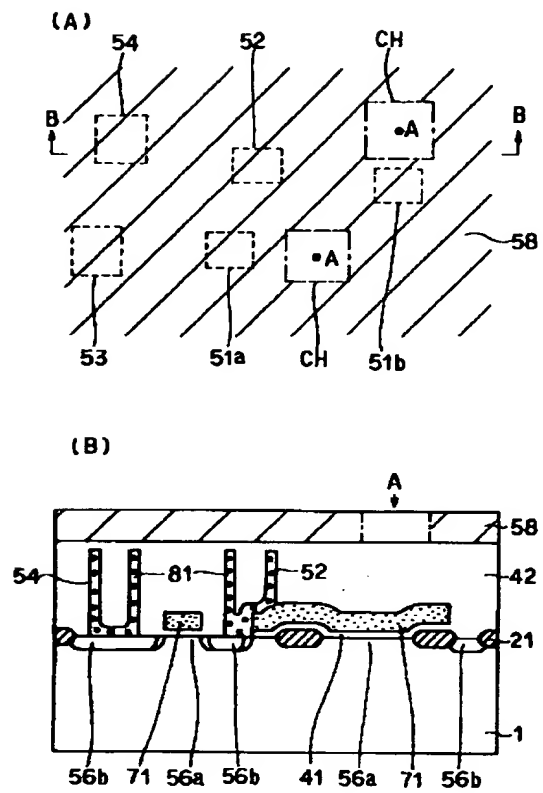
【図87】



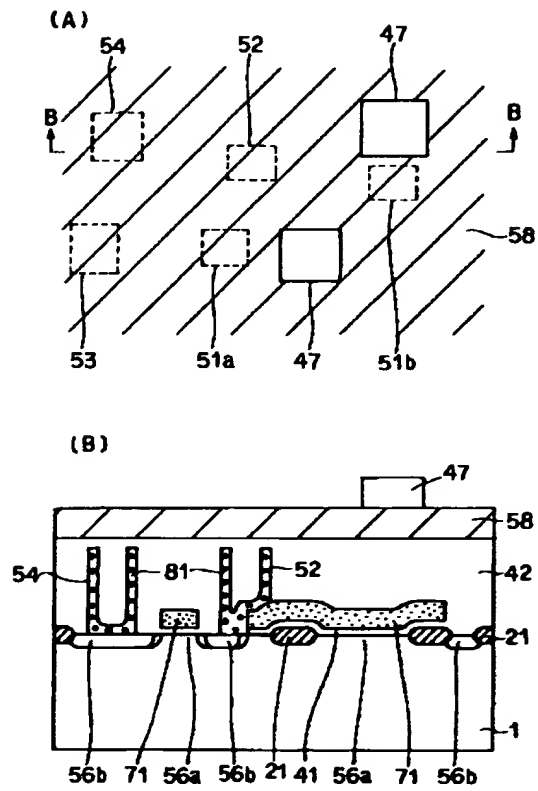
【図71】



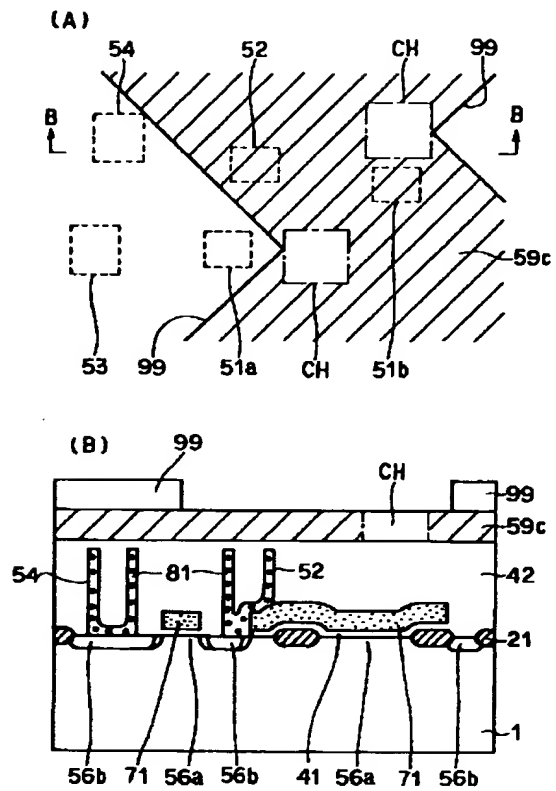
【図72】



【図73】

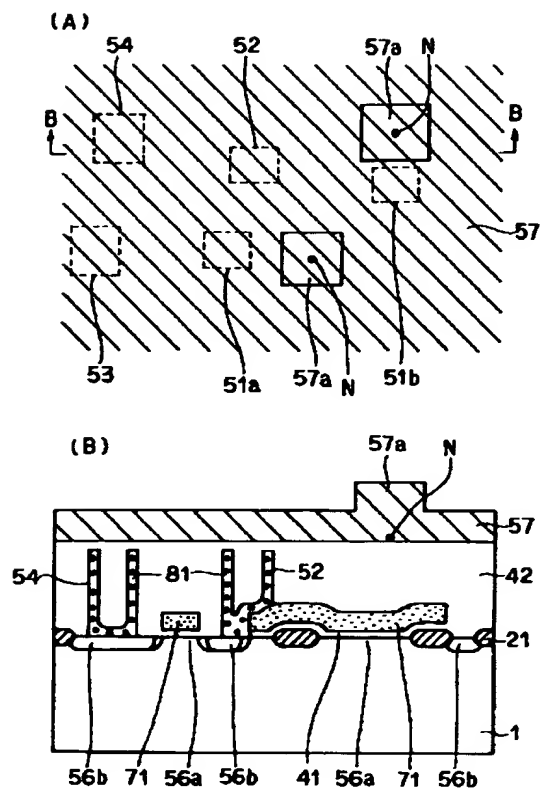


【図74】

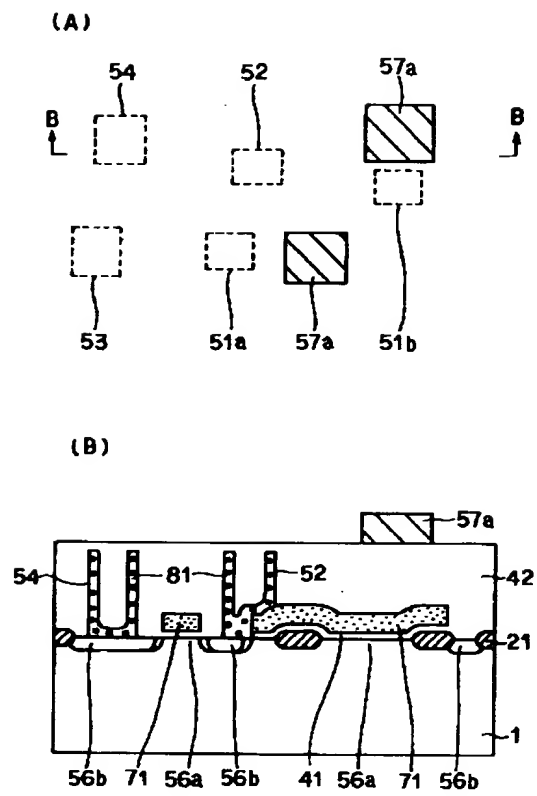




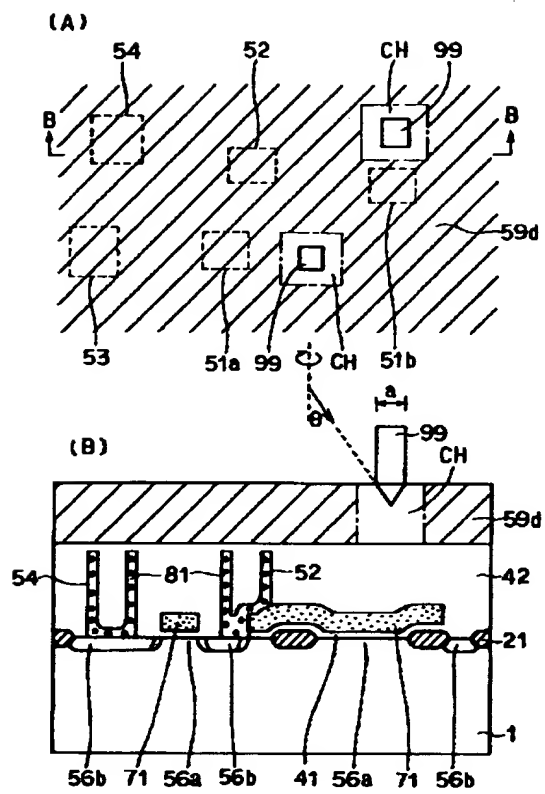
【図75】



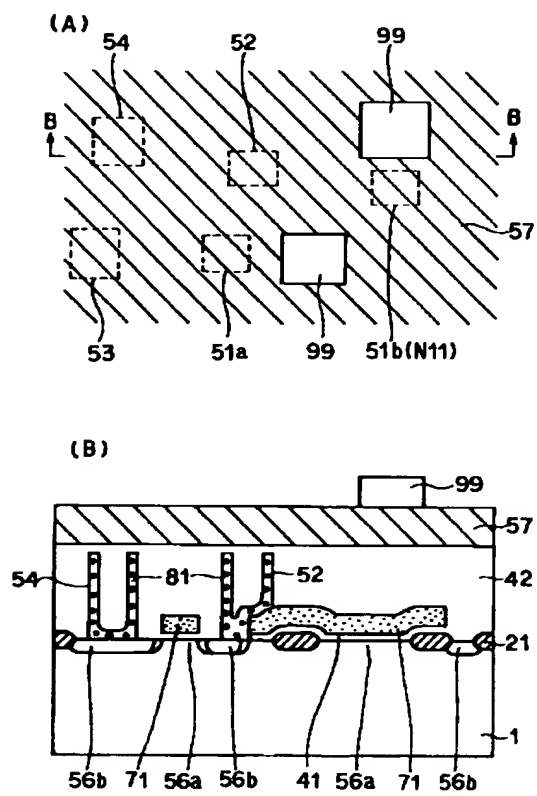
【図76】



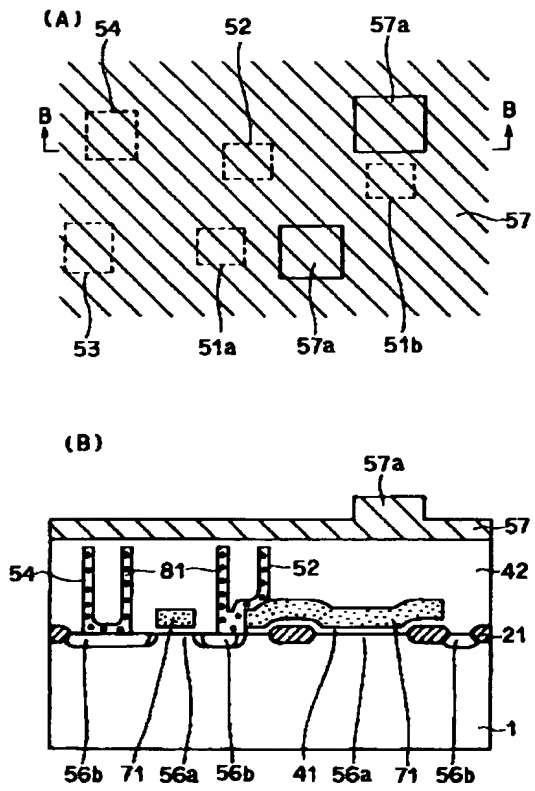
【図77】



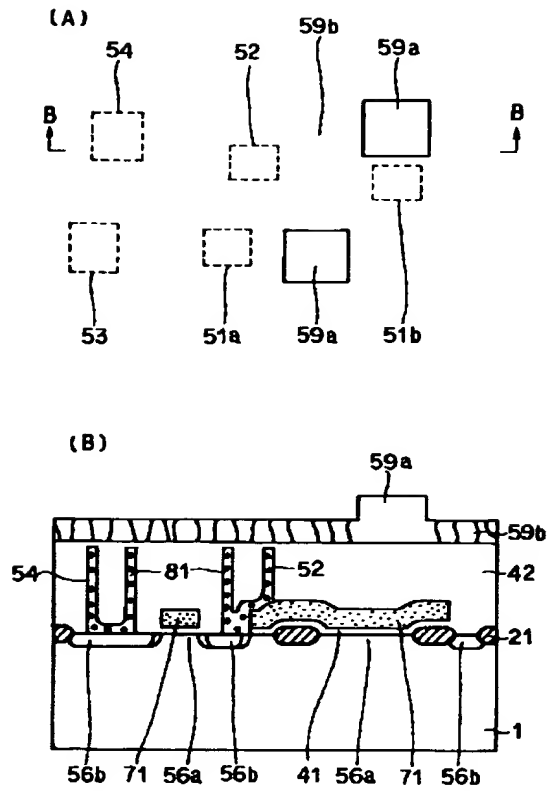
【図78】



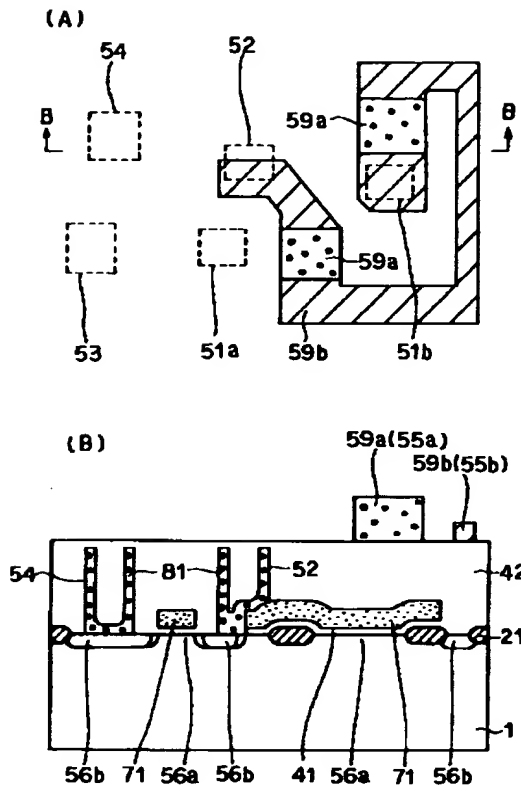
【図79】



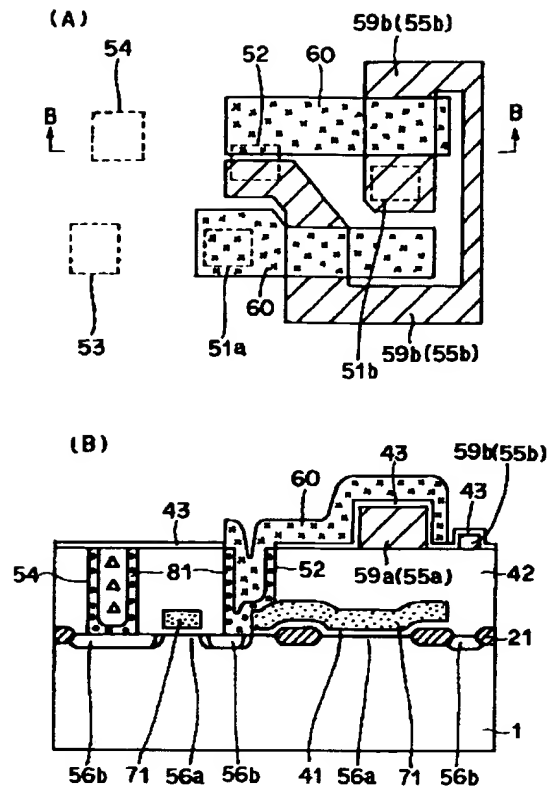
【図80】



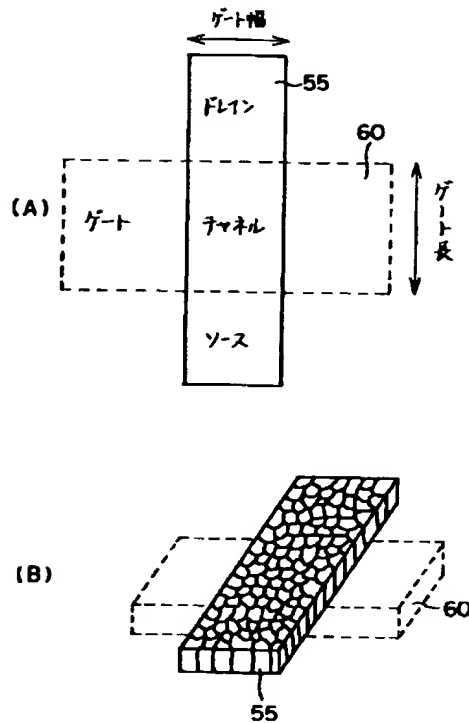
【図81】



【図82】



【図88】



フロントページの続き

(51)Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H01L 21/336		9056-4M	H01L 29/78	311 C
		9056-4M		311 Y
(72)発明者 須賀原 和之 兵庫県伊丹市瑞原4丁目1番地 三菱電機 株式会社エル・エス・アイ研究所内			(72)発明者 岩松 俊明 兵庫県伊丹市瑞原4丁目1番地 三菱電機 株式会社エル・エス・アイ研究所内	
(72)発明者 前田 茂伸 兵庫県伊丹市瑞原4丁目1番地 三菱電機 株式会社エル・エス・アイ研究所内			(72)発明者 池田 三喜男 兵庫県伊丹市瑞原4丁目1番地 三菱電機 株式会社エル・エス・アイ研究所内	
(72)発明者 一法師 隆志 兵庫県伊丹市瑞原4丁目1番地 三菱電機 株式会社エル・エス・アイ研究所内			(72)発明者 國清 辰也 兵庫県伊丹市瑞原4丁目1番地 三菱電機 株式会社エル・エス・アイ研究所内	
(72)発明者 井上 靖朗 兵庫県伊丹市瑞原4丁目1番地 三菱電機 株式会社エル・エス・アイ研究所内			(72)発明者 立石 準二 兵庫県伊丹市瑞原4丁目1番地 三菱電機 株式会社エル・エス・アイ研究所内	
			(72)発明者 湊 忠玄 兵庫県伊丹市瑞原4丁目1番地 三菱電機 株式会社エル・エス・アイ研究所内	